

621.382.82(076)  
Р 851

№ 3314

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ



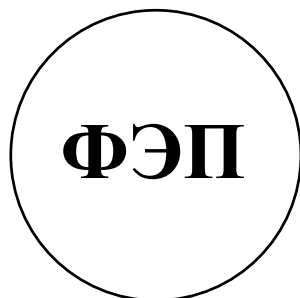
**Таганрогский государственный  
радиотехнический университет**

**КАФЕДРА КОНСТРУИРОВАНИЯ ЭЛЕКТРОННЫХ СРЕДСТВ**

**РУКОВОДСТВО К ЛАБОРАТОРНОЙ РАБОТЕ**

**ПРОЕКТИРОВАНИЕ  
СПЕЦИАЛИЗИРОВАННЫХ СБИС С  
ИСПОЛЬЗОВАНИЕМ ПОДСИСТЕМЫ  
LEONARDO САПР FPGA ADVANTAGE**

Для студентов специальностей 220500, 201900, 200200, 200800,  
220100, 220300 и направлений 551100, 550700



Таганрог 2002

УДК 621.382.82 (076.5) + 658.512.2.011.5 (076.5)

Составители: Е.А. Рындин, В.Г. Ивченко, А.В. Ковалев

Руководство к лабораторной работе «Проектирование специализированных СБИС с использованием подсистемы Leonardo САПР FPGA Advantage». Таганрог: Изд-во ТРТУ, 2002. 20 с.

Цикл лабораторных работ по освоению студентами методов проектирования специализированных сверхбольших интегральных схем (СБИС) на основе ПЛИС и в виде заказных микросхем подготовлен сотрудниками кафедры конструирования электронных средств (КЭС) Таганрогского государственного радиотехнического университета (ТРТУ).

В работе излагаются сведения, необходимые для выполнения логического синтеза проектов специализированных СБИС на основе языка VHDL в подсистеме Leonardo Spectrum САПР FPGA Advantage Mentor Graphics. Описаны возможности подсистемы Leonardo Spectrum, графический интерфейс, организация работы с целевыми библиотеками, маршруты синтеза и генерации выходных HDL-описаний, особенности настройки подсистемы с целью получения требуемых быстродействия и расходуемых аппаратных ресурсов при выполнении синтеза, связь подсистемы Leonardo Spectrum с подсистемами Renoir и ModelSim САПР FPGA Advantage.

Ил. 13. Библиогр.: 4 назв.

Рецензент Ю.М.Вишняков, доктор технических наук, профессор, декан факультета автоматики и вычислительной техники Таганрогского государственного радиотехнического университета.

## ВВЕДЕНИЕ

Стремительный рост степени интеграции современных устройств вычислительной техники обусловил необходимость применения новых подходов в проектировании, обеспечивающих автоматизацию всех проектных процедур. Развитие математического аппарата современных САПР и увеличение вычислительной мощности рабочих станций позволили автоматизировать те операции, которые традиционно выполнялись опытными специалистами без применения вычислительной техники.



Наиболее сложной и трудоемкой задачей являлся логический синтез схем модулей устройств на основе высокоуровневого поведенческого описания и так называемое покрытие получаемой детальной структурной (принципиальной) схемы элементами из заданного подмножества библиотечных элементов. Модули формируются на основе функциональной декомпозиции всей системы. Как правило, эта процедура выполняется человеком, так как имеющийся математический аппарат не обеспечивает приемлемого качества решений и не включается в состав современных САПР.

САПР Leonardo Spectrum, разработанная фирмой Exemplar, входит в состав САПР FPGA Advantage фирмы Mentor Graphics и служит для выполнения логического синтеза схем и реализации их в заданном технологическом базисе. Данная САПР является одной из наиболее распространенных благодаря большому набору возможностей, реализованных в ней.

В качестве входного языка Leonardo Spectrum для описания поведения устройств могут быть использованы высокоуровневые языки описания аппаратуры (ЯОА) VHDL и Verilog. Язык VHDL имеет гораздо большие описательные возможности по сравнению с Verilog, поэтому в нашей стране и Европе он получил наибольшее распространение [1], однако в США большей популярностью пользуется Verilog в силу сложившихся традиций (60% разработчиков предпочитают Verilog, 40% - VHDL). Получаемые в результате синтеза описания могут быть сохранены в файл в одном из стандартных форматах, например EDIF, и затем переданы в системы размещения и трассировки (P&R – Place and Route) в качестве исходного задания для разработки топологии интегральной схемы. В составе САПР FPGA Advantage подсистема Leonardo Spectrum запускается в автоматическом режиме и получает файлы заданий. Таким образом, количество вспомогательных операций в маршруте логического синтеза схем сокращается, позволяя проектировщику сосредоточиться на основных задачах. В данном пособии изучается работа с подсистемой Leonardo Spectrum.

# 1. ВЫПОЛНЕНИЕ ЛОГИЧЕСКОГО СИНТЕЗА СХЕМ В САПР LEONARDO SPECTRUM

## 1.1. Запуск подсистемы Leonardo и передача ей проекта

Запуск системы логического синтеза Leonardo Spectrum и передача в качестве исходного задания высокоуровневого VHDL-описания выполняется из графической оболочки Renoir с помощью меню "HDL/Start Synthesis" или специализированной кнопки  - Start Synthesis (рис.1). Кроме того, имеется возможность выполнить весь маршрут подготовительных операций в пакете Renoir (верификация описания, генерация HDL-файла, запуск Leonardo и передача ему проекта) с помощью специализированной кнопки  - Synthesis Flow (см. рис.1).

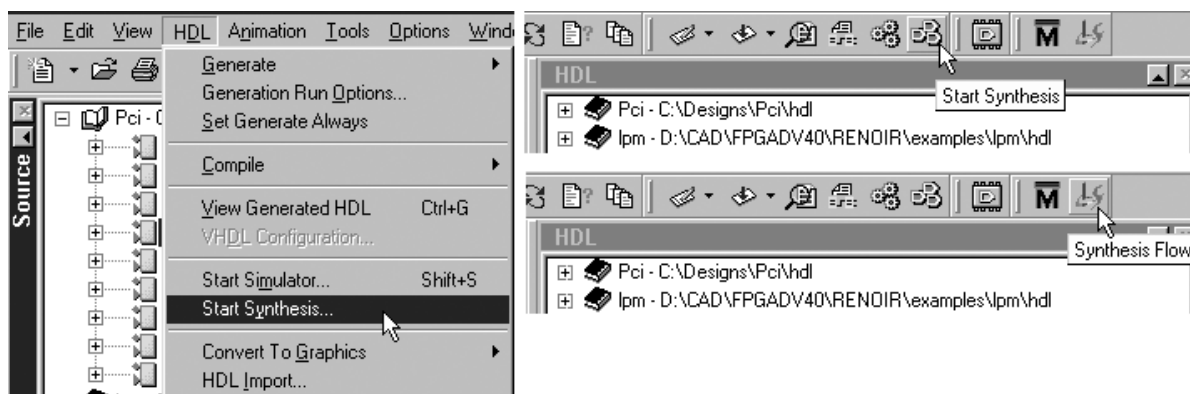


Рис. 1. Методы вызова подсистемы Leonardo из графической оболочки Renoir

При этом происходит передача всех файлов, составляющих проект. Появляется окно, позволяющее настроить параметры запуска Leonardo (рис. 2). Как правило, нет необходимости изменять установленные настройки. После нажатия на ОК запускается основное окно графического интерфейса Leonardo (рис. 3).

Запуск описанным способом обеспечивает автоматическое считывание VHDL/Verilog-файлов проекта системой Leonardo Spectrum.

В открывшемся окне доступны семь закладок, предназначенных для настройки параметров синтеза и передачи результатов работы в САПР размещения и трассировки.

## 1.2. Выбор библиотеки элементов целевой технологии

Система Leonardo поставляется с набором готовых библиотек элементов, предназначенных для реализации в рамках конкретной целевой технологии. В набор включены наборы элементов ПЛИС известных производителей: Actel, Altera, Atmel, Cypress, Lattice, Lucent,

Minc, QuickLogic, Xilinx.

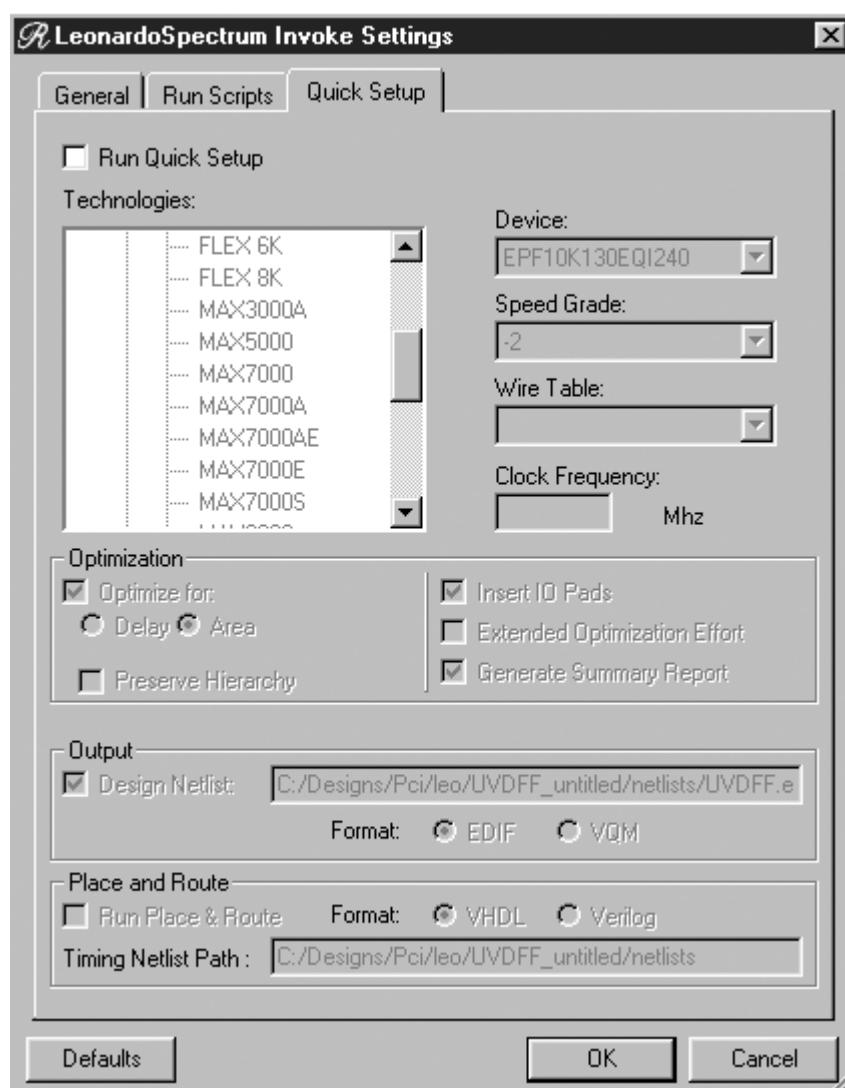


Рис. 2. Окно настроек запуска подсистемы Leonardo

Выполнение логического синтеза в определенном технологическом базисе требует настройки Leonardo на использование необходимой библиотеки. Это осуществляется выбором производителя ПЛИС в окне со списком производителей (см. рис. 3) на первой закладке «Technology», а также выбором необходимого семейства микросхем в том же списке, заданием конкретного прибора в поле Part и варианта его исполнения в поле Speed.

Загрузка выбранной библиотеки осуществляется нажатием на кнопку Load Library (см. рис. 3).

### 1.3. Загрузка входных файлов и настройка стиля кодирования

Как было отмечено, запуск описанным способом подсистемы Leonardo обеспечивает автоматическое считывание VHDL/Verilog-файлов проекта. Настройка системы FPGA Advantage такова, что при считывании

файлов пакетом Leonardo происходит предварительная оптимизация логической схемы проекта на основании настроек, заданных по умолчанию на закладке «Input» (рис. 4). При необходимости эти настройки можно изменить.

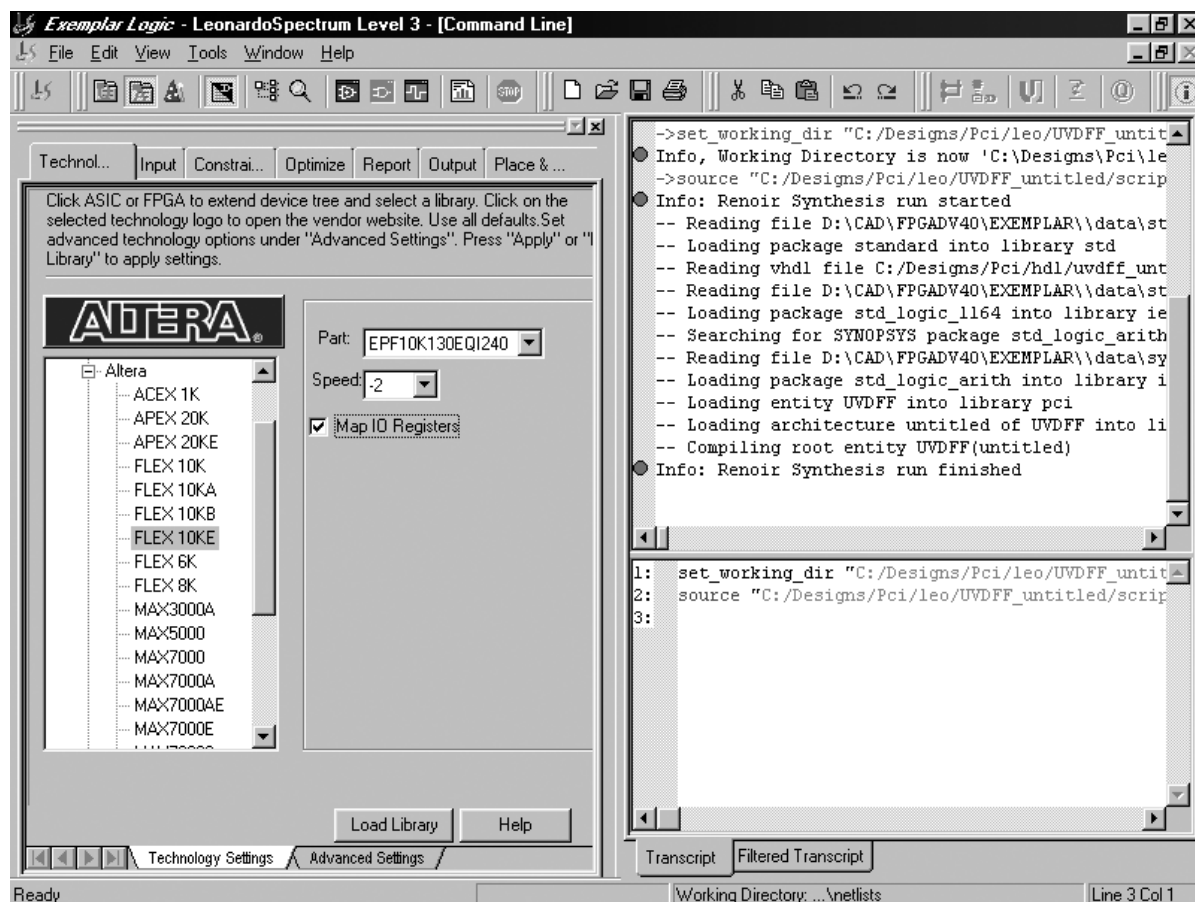


Рис. 3. Основное окно графического интерфейса подсистемы Leonardo

Выбор организации кодирования состояния конечных автоматов выбирается в поле Encoding Style. Стиль Binary обеспечивает обычный для двоичной арифметики способ кодирования (например, для трех бит 0 - 000, 1 - 001, 2 - 010, 3 - 011, 4 - 100 и т.д.). Подобный стиль позволяет экономно расходовать триггеры для хранения данных, однако уступает стилю Onehot по быстродействию, при котором для кодирования каждого состояния расходуется отдельный регистр (например, 0 - 0000, 1 - 0001, 2 - 0010, 3 - 0100, 4 - 1000). Как видно, при таком подходе расходуется значительно больше регистров, особенно для больших разрядностей.

Стили Twohot и Random являются разновидностями рассмотренных. Стиль Gray аналогичен Binary, однако использует для кодирования код Грея. Основная его особенность заключается в том, что каждое последующее число отличается от предыдущего только одним битом. Это свойство полезно при построении помехоустойчивых схем.

По умолчанию установлен режим Auto, при котором Leonardo

Spectrum автоматически выбирает наиболее оптимальный стиль кодирования.

Отметка свойства Resource Sharing обеспечивает сокращение расходуемых аппаратных ресурсов за счет их совместного использования в разных частях проекта (если это возможно).

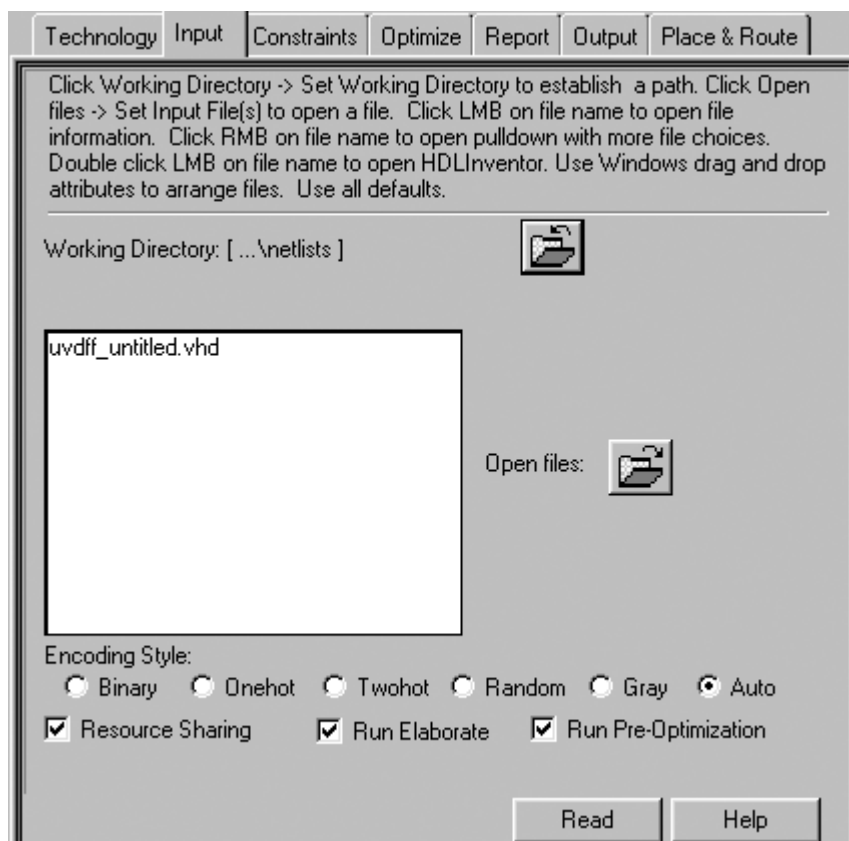


Рис. 4. Закладка «Input»

Например, два ресурсоёмких сумматора могут быть заменены на один сумматор и два мультиплексора, управляющих входами и выходами сумматора.

Отметка полей Run Elaborate и Run Pre-Optimization обеспечивает выполнение предварительной оптимизации при считывании.

#### **1.4. Настройка параметров оптимизации для реализации логической схемы проекта в заданном технологическом базисе**

На следующей закладке «Constraints» (рис. 5) имеется возможность задать основные требования к результатам синтеза схемы устройства в определенном технологическом базисе.

В поле Specify Clock Frequency задается требование к частоте тактового сигнала. В случае, если необходимо задать период сигнала, нужное значение заносится в поле Specify Clock Period.

Для того, чтобы задать специфические задержки, служат поля Input Ports to Registers, Registers to Registers, Registers to Output Ports, Inputs to

## Outputs.

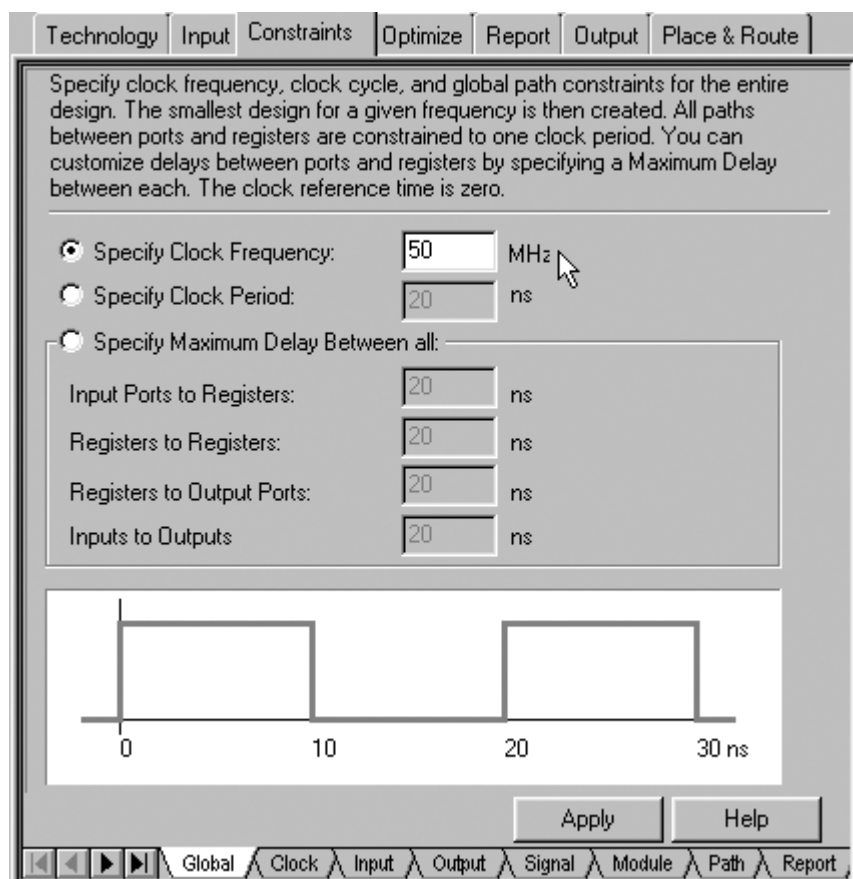


Рис. 5. Закладка «Constraints»

Если в схеме имеется несколько синхронизирующих сигналов, временные требования к каждому из них можно специфицировать на подзакладке «Clock», выбираемой в нижней части поля закладки «Constraints»

Подзакладки «Input» и «Output» обеспечивают возможность задать ограничения для каждого из портов схемы.

На подзакладке «Signal» выделяются сигналы, которые не должны быть удалены при выполнении оптимизации схемы. На подзакладке «Module» аналогично отмечаются модули, не подлежащие общей оптимизации, и устанавливаются критерии оптимизации для каждого из них.

Подзакладка «Path» предназначена для выделения путей, подлежащих исключению из общих требований и ограничений.

На подзакладке «Report» имеется возможность просмотреть все установленные требования и сохранить их в файл для дальнейшего использования, а также загрузить ранее сохраненные подобные файлы.



## 1.5. Выполнение оптимизации логической схемы проекта в заданном технологическом базисе

Запуск оптимизации проекта в выбранном технологическом базисе выполняется на закладке «Optimize» нажатием на кнопку Optimize (рис.6).

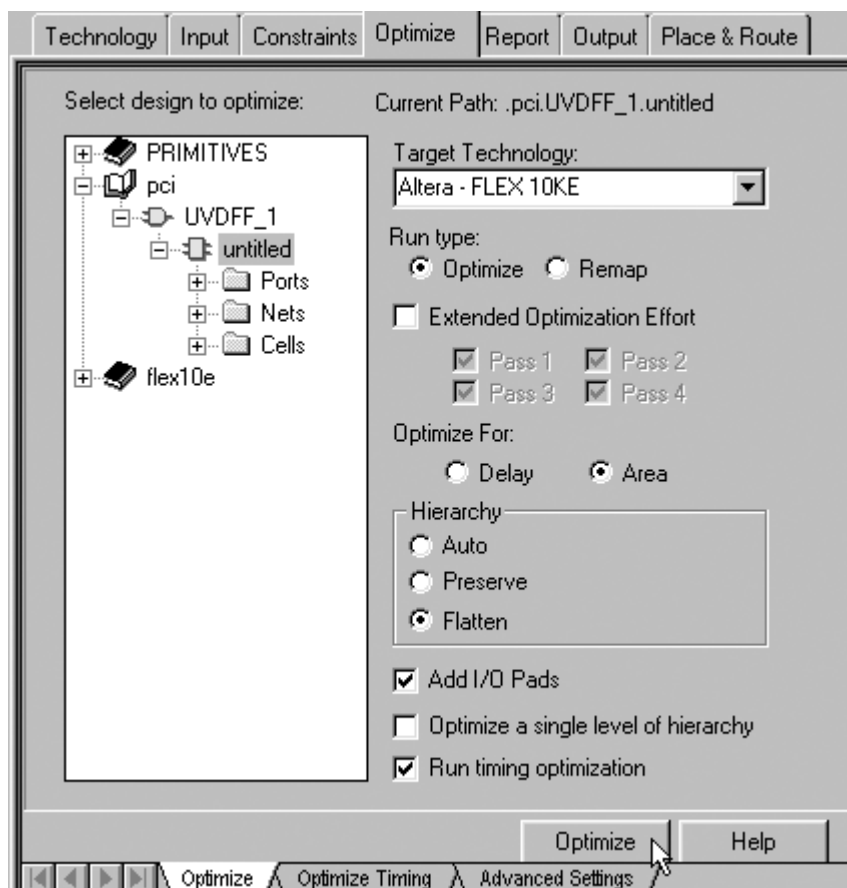


Рис. 6. Закладка «Optimize»

Если необходимо выполнить только переложение схемы в библиотечные элементы технологического базиса, в поле Run type выбирается отметка Remap, иначе оптимизация будет выполнена.

Отметкой поля Extended Optimization Effort настраивается количество итераций при выполнении оптимизации.

В поле Optimize For указывается основной критерий оптимизации – достижение наибольшего быстродействия или наименьшей занимаемой площади кристалла.

Поле Hierarchy определяет возможность удаления иерархической структуры проекта. В случае, если выбрана отметка Preserve, иерархия проекта сохраняется, то есть все компоненты схемы останутся отдельными блоками. Выбор значения Flatten обеспечивает преобразование схемы устройства в один уровень иерархии, что, как правило, обеспечивает достижение более качественных результатов оптимизации. Отметка Auto позволяет системе Leonardo Spectrum

автоматически определить наиболее оптимальный выбор.

Поле Add I/O Pads позволяет включить в схему буферные библиотечные элементы, подключаемые к контактным площадкам. Это используется при синтезе полной схемы, размещаемой на одном кристалле.

Поле Optimize a single level of hierarchy обеспечивает выполнение оптимизации только для верхнего уровня иерархии. Выбор этого свойства полезен при использовании тщательно отработанных технологически зависимых схемных решений отдельных структурных компонентов.

Отметка поля Run timing optimization обеспечивает выполнение всех временных и частотных требований.

Выполнение оптимизации сложных схем (порядка 1000 и более эквивалентных логических вентилей) занимает немало машинного времени и ресурсов центрального процессора, поэтому при выполнении этой операции не следует нагружать компьютер излишней работой.

### 1.6. Оценка полученных результатов

Закладка «Report» (рис. 7) служит для получения информации о результатах синтеза и оптимизации.

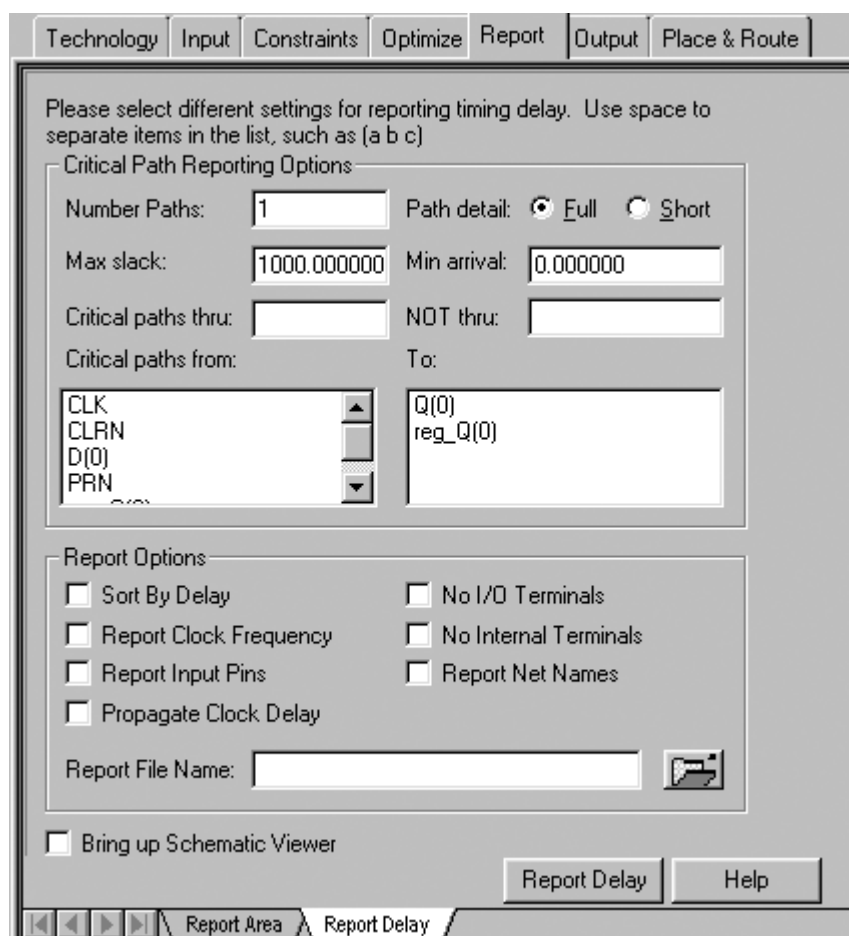


Рис. 7. Закладка «Report»

Кнопка Report Area на одноименной подзакладке служит для получения отчета о занимаемой площади, а кнопка Report Delay на подзакладке «Report Delay» - отчета о временных характеристиках схемы.

На подзакладке «Report Delay» имеется возможность настроить вывод информации в отчет таким образом, что будут отображены только те пути, в которых время прохождения сигнала отвечает заданным требованиям. Эти настройки доступны в группе настроек Critical Path Reporting Options.

Кроме того, имеется возможность настройки вывода путей в порядке возрастания времени задержки (Sort By Delay), оценочной частоты тактовых сигналов (Report Clock Frequency), имен входных портов компонентов (Report Input Pins) и ряда других характеристик.

Как правило, для ПЛИС-реализаций оценка занимаемой площади выводится в диагностике по умолчанию, в то время как для получения временных характеристик необходимо нажать кнопку Report Delay.

### 1.7. Графическое отображение схемы устройства

Система Leonardo Spectrum позволяет получить графическое отображение схемы устройства. Имеется возможность получить две разновидности схем.

Первый вид изображает логическую схему устройства на уровне регистровых передач (RTL – Register Transfer Level), не выраженную библиотечными элементами целевой технологии. Эта схема подготавливается на этапе предварительной оптимизации при считывании файлов задания. Для получения схемы необходимо использовать специализированную кнопку View RTL Schematic (рис. 8).

Второй вид выражен библиотечными элементами целевой библиотеки и отображает результаты синтеза и оптимизации. Для получения этого вида схемы необходимо воспользоваться кнопкой View Technology Schematic (см. рис. 8)

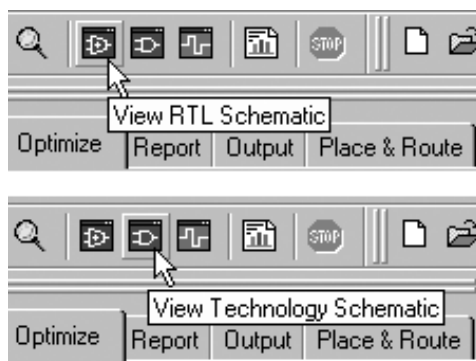


Рис. 8. Запуск отображения схемы устройства

Результат выполнения View RTL Schematic показан на рис. 9, а View Technology Schematic – на рис. 10.

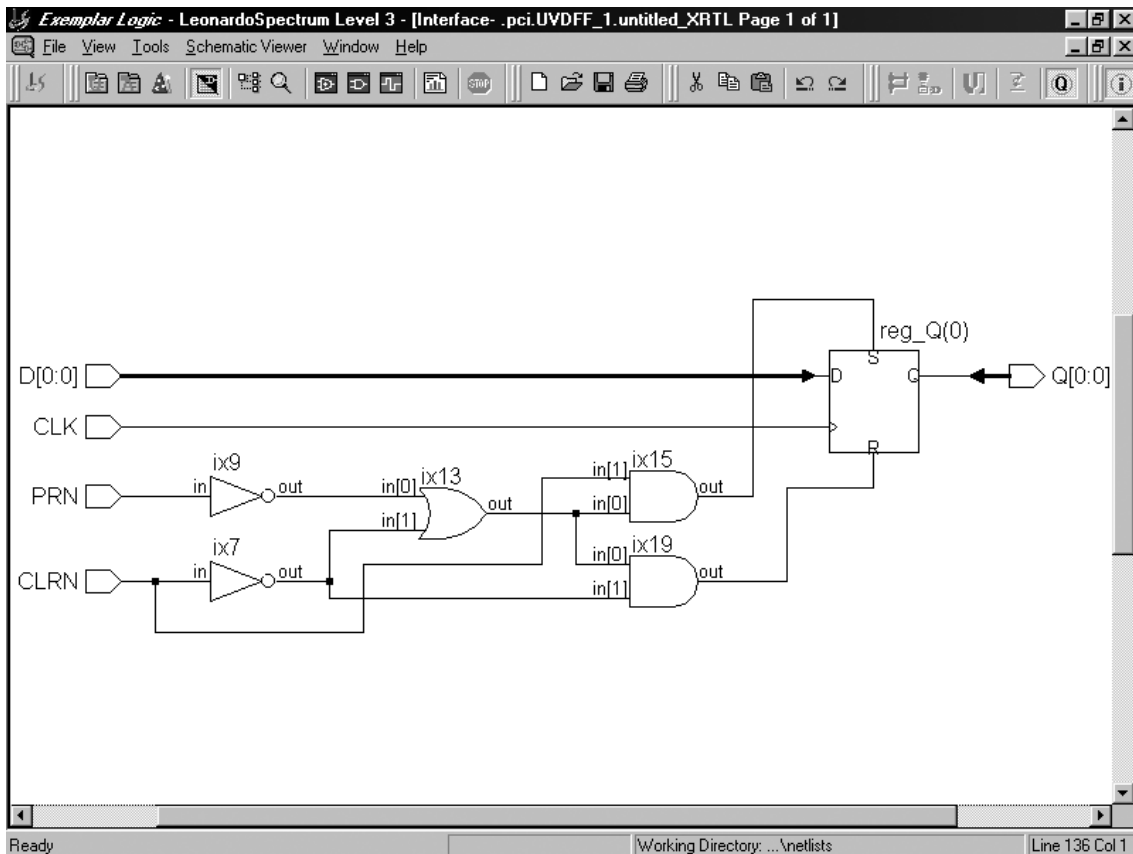


Рис. 9. Вид схемы RTL Schematic

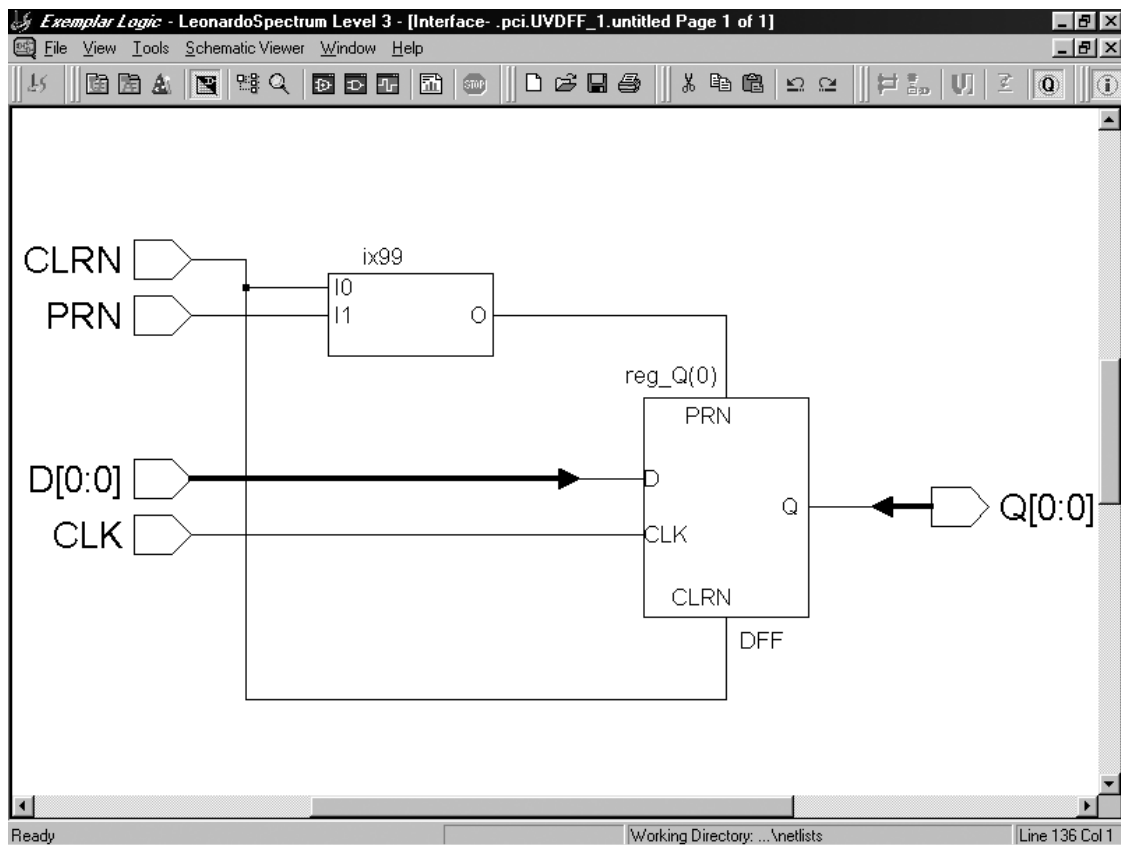


Рис. 10. Вид схемы Technology Schematic

Как видно из рисунков, на Technology Schematic часть комбинационной схемы реализована на основе одного компонента – ix99. В данном случае это LUT – Look Up Table – элемент ПЛИС, реализующий таблицу истинности.

### 1.8. Сохранение полученных результатов в стандартных HDL-файлах

Результаты синтеза и оптимизации должны быть сохранены в одном из стандартных форматов, описывающих схему устройств (рис. 11). В таком виде данные могут быть прочитаны любой САПР, поддерживающей стандартные форматы файлов структуры.

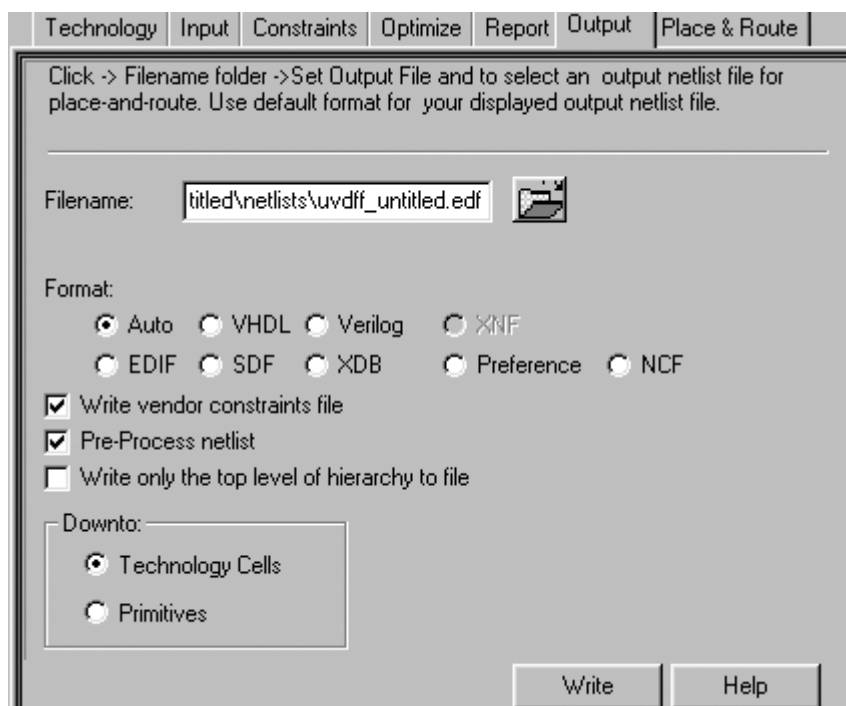


Рис. 11. Закладка «Output»

Таким образом, результаты синтеза могут быть переданы, например, для верификации в подсистему Model Sim или для выполнения функций размещения и трассировки в соответствующие САПР. Сохранение данных выполняется из закладки «Output» с помощью кнопки Write (см. рис. 11).

В поле Format имеется возможность выбрать один из выходных форматов:

- 1) Auto – автоматический выбор формата (в зависимости от выбранной целевой технологии);
- 2) VHDL – сохранение данных в структурном стиле языка;
- 3) Verilog – сохранение данных в формате Verilog;
- 4) XNF, NCF – сохранение данных в формате САПР фирмы Xilinx;
- 5) EDIF – сохранение данных в наиболее распространенном структурном формате;

6) SDF – сохранение информации о задержках в структурных компонентах в специализированный файл sdf;

7) XDB – сохранение файла внутреннего формата Leonardo Spectrum для сохранения как проекта, так и всех его настроек.

Поле Write vendor constraints file служит для включения режима создания параллельно с файлом схемы настроечного файла, используемого в САПР конкретного производителя. Для ПЛИС-реализаций это поле должно быть отмечено.

Поле Pre-process netlist служит для включения режима записи, при котором выполняются все необходимые преобразования имен цепей, компонентов и т.п. Для ПЛИС-реализаций это поле должно быть отмечено.

Поле Write only the top level of hierarchy to file позволяет записать в выходной файл только самый верхний уровень иерархии.

Отметка в поле Downto значения Technology Cells обеспечивает запись в файл только структурной схемы, включающей библиотечные элементы, что достаточно для передачи данных в подсистемы размещения и трассировки.

Значение Primitives позволяет получить в выходном файле помимо структурного описания поведенческие фрагменты, обеспечивающие возможность моделирования полученного файла без привлечения библиотек элементов.

### **1.9. Передача проекта в подсистемы размещения и трассировки**

Система Leonardo Spectrum имеет возможность автоматической передачи результатов синтеза в ряд промышленных систем размещения и трассировки: Max+PLUS II и Quartus фирмы Altera, Alliance Series фирмы Xilinx, а также Vantice/Lattice Design Direct.

Во все остальные САПР данные могут быть переданы имеющимися в них средствами импорта стандартных типов файлов языков описания аппаратуры (HDL-файлов). Перечисленные выше форматы: VHDL, Verilog, EDIF, XNF, NCF относятся к ним.

Для того, чтобы система Leonardo Spectrum смогла запустить приложения размещения и трассировки и передать им файлы проекта, необходимо указать пути расположения этих программ. Эта настройка доступна на закладке «Place & Route Paths» в меню Tools/Options (рис.12).

Система Leonardo Spectrum позволяет выбрать одну из возможностей использования ресурсов подсистем размещения и трассировки – либо путем запуска графической оболочки подсистем и выполнения дальнейших операций, как это предусмотрено в конкретной САПР, либо использовать эти ресурсы в фоновом режиме, не привлекая управления из графических оболочек. В этом случае все необходимые настройки методов размещения и трассировки выполняются непосредственно из оболочки Leonardo Spectrum. В качестве примера на

рис. 13 приведена закладка «Place & Route» для использования ресурсов Max+PLUS II.

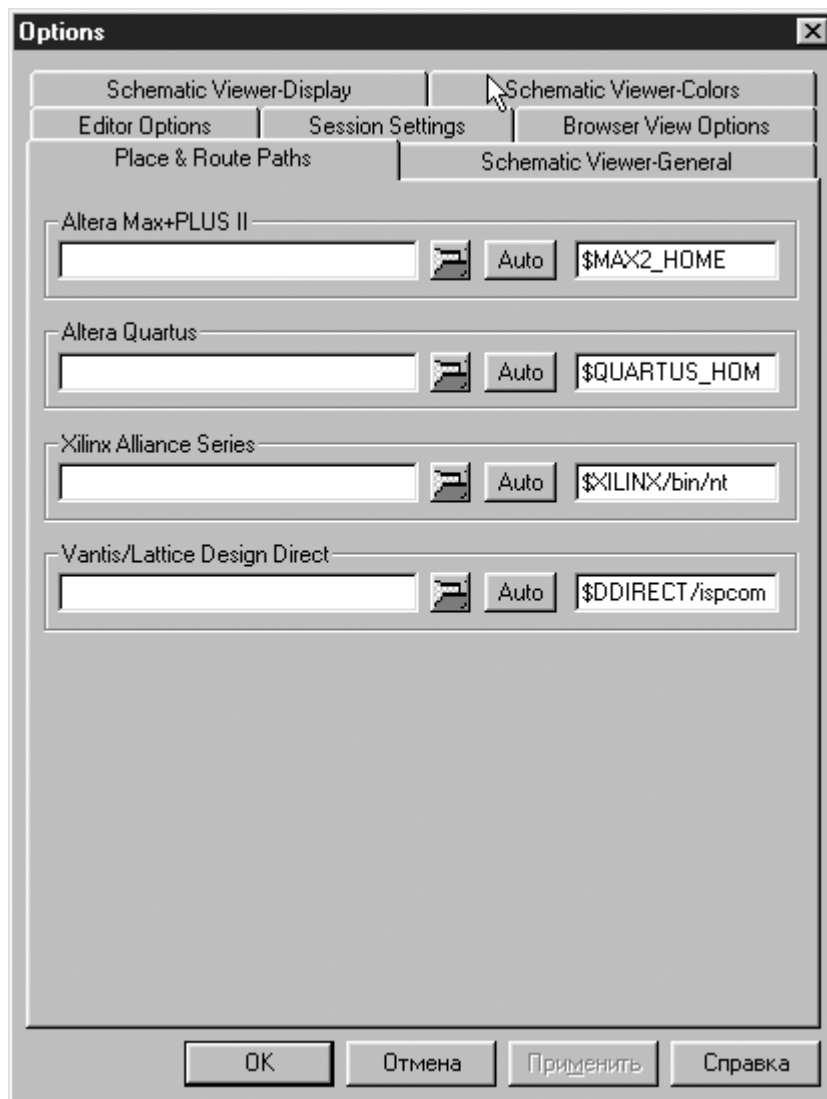


Рис. 12. Настройка путей запуска подсистем Place & Route

Поле Setup MAX+PLUS II (Create ACF file) служит для создания ACF-файла с настройками размещения и трассировки, которые устанавливаются в программе Leonardo Spectrum.

Включение опции Auto Fast I/O позволяет указать MAX+PLUS II использовать при размещении регистры контактных площадок.

Опция Auto Implement in EAB инструктирует MAX+PLUS II применять, где возможно, ресурсы встроенной памяти (Embedded Array Block) для реализации логических функций.

Опция Auto Register Packing позволяет автоматически, где это возможно, размещать регистры и комбинационные элементы с общими входами в один логический блок ПЛИС.

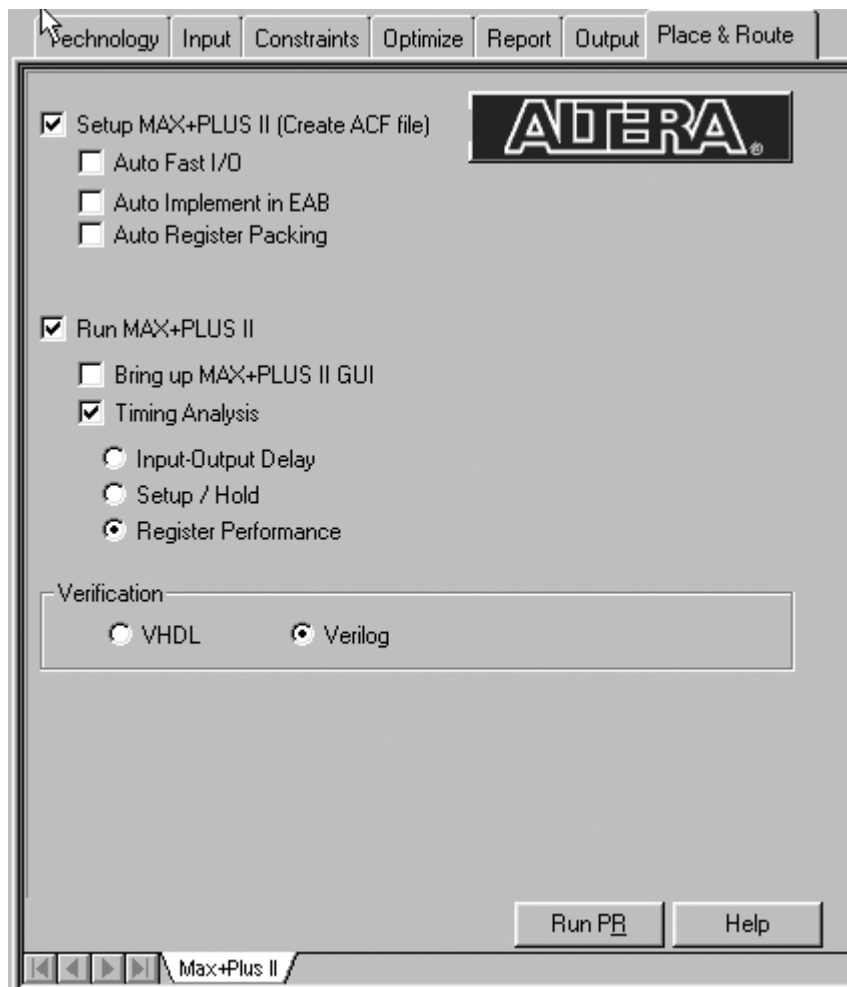


Рис. 13. Закладка Place & Route для САПР Max+PLUS II

Опция Run MAX+PLUS II обеспечивает запуск подсистемы размещения и трассировки MAX+PLUS II.

Опция Bring up MAX+PLUS II GUI обеспечивает запуск графической оболочки MAX+PLUS II.

Опция Timing Analysis включает вычисление временных характеристик после выполнения размещения и трассировки.

Опция Input-Output Delay обеспечивает оценку задержек от входов к выходам.

Опция Setup/Hold обеспечивает оценку времен установки и удержания триггеров и защелок.

Опция Register Performance обеспечивает оценку быстродействия триггеров.

Поле Verification позволяет задать выходной формат структурного файла (VHDL/Verilog), отражающего схему полученного устройства и задержки после выполнения процедуры размещения и трассировки.

Для того, чтобы передать файлы и запустить процедуру размещения и трассировки, необходимо нажать на кнопку Run Place & Run.



## 2. ПОРЯДОК ВЫПОЛНЕНИЯ ЛАБОРАТОРНОЙ РАБОТЫ

1. Получить у преподавателя вариант задания.
2. Ознакомиться с общей организацией САПР FPGA Advantage по методическому пособию «Разработка VHDL-описаний СБИС в подсистеме Renoir САПР FPGA Advantage».
3. Изучить маршруты проектирования СБИС в САПР FPGA Advantage по методическому пособию «Разработка VHDL-описаний СБИС в подсистеме Renoir САПР FPGA Advantage».
4. Выбрать один из маршрутов проектирования для выполнения задания, целевую технологию реализации проекта и согласовать их с преподавателем.
5. После разработки описания устройства в подсистеме Renoir выполнить передачу проекта и запуск подсистемы Leonardo Spectrum.
6. Назначить выбранную целевую технологию реализации, конкретный прибор ПЛИС и его разновидность в соответствии с заданием.
7. Задать основные требования к результатам синтеза и оптимизации в соответствии с заданием.
8. Выполнить оптимизацию и сохранить результаты работы в формате, соответствующем заданной технологии.
9. Показать преподавателю результаты выполнения задания и ответить на контрольные вопросы.

### КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Назначение САПР FPGA Advantage.
2. Основные подсистемы САПР FPGA Advantage и их назначение.
3. Назначение и интерфейс подсистемы Leonardo Spectrum.
4. Назначение целевых библиотек в подсистеме Leonardo Spectrum и способ загрузки.
5. В какое время по умолчанию выполняется предварительная оптимизация схемы устройства?
6. Какое количество входных HDL-файлов может передаваться системе Leonardo Spectrum?
7. Какие HDL-форматы воспринимает система Leonardo Spectrum в качестве входных?
8. Перечислить и охарактеризовать параметры, назначаемые в качестве требований к результатам оптимизации.
9. Каким образом можно оценить результаты синтеза и оптимизации логической схемы устройства?
10. Как получить графическое изображение схемы синтезированного устройства? Какие существуют две доступных в Leonardo Spectrum разновидности этих схем?

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. СПб.: БХВ – Петербург, 2002. 608 с.
2. Рындин Е.А. Проектирование специализированных СБИС. Конспект лекций. Таганрог: Изд-во ТРТУ, 1999. 115 с.
3. Ивченко В.Г. Применение языка VHDL при проектировании специализированных СБИС: Учебное пособие. Таганрог: Изд-во ТРТУ, 1999. 80 с.
4. Mentor Graphics FPGA Advantage Documentation Bookcase, 2000.

## СОДЕРЖАНИЕ

ВВЕДЕНИЕ	3
1. ВЫПОЛНЕНИЕ ЛОГИЧЕСКОГО СИНТЕЗА СХЕМ В САПР LEONARDO SPECTRUM	4
1.1. Запуск подсистемы Leonardo и передача ей проекта	4
1.2. Выбор библиотеки элементов целевой технологии	4
1.3. Загрузка входных файлов и настройка стиля кодирования	5
1.4. Настройка параметров оптимизации для реализации логической схемы проекта в заданном технологическом базисе	7
1.5. Выполнение оптимизации логической схемы проекта в заданном технологическом базисе	9
1.6. Оценка полученных результатов	10
1.7. Графическое отображение схемы устройства	11
1.8. Сохранение полученных результатов в стандартных HDL-файлах	13
1.9. Передача проекта в подсистемы размещения и трассировки	14
2. ПОРЯДОК ВЫПОЛНЕНИЯ ЛАБОРАТОРНОЙ РАБОТЫ	17
КОНТРОЛЬНЫЕ ВОПРОСЫ	17
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	18
СОДЕРЖАНИЕ	18

**Рындин Евгений Адальбертович  
Ивченко Владимир Геннадьевич  
Ковалев Андрей Владимирович**

**Руководство к лабораторной работе**

**Проектирование специализированных СБИС с  
использованием подсистемы Leonardo САПР FPGA Advantage**

Ответственный за выпуск  
Редактор  
Корректор

Ивченко В. Г.  
Белова Л.Ф.  
Пономарева Н.В.

ЛР 020565 от 23.06.1997 г.  
Печать офсетная  
Формат 60 x 841/16  
Усл. п. л. – 1,5  
Заказ N

Подписано к печати 05.12.02  
Бумага офсетная  
Уч.- изд. л. – 1,4  
Тираж 150 экз.

“С”

---

Издательство Таганрогского государственного  
радиотехнического университета  
ГСП 17А, Таганрог, 28, Некрасовский, 44  
Типография Таганрогского государственного  
радиотехнического университета  
ГСП 17А, Таганрог, 28, Энгельса, 1