

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ



**Таганрогский государственный
радиотехнический университет**

Лукьяненко Е.Б.

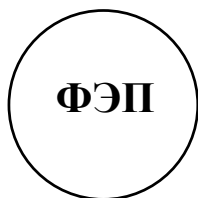
**СБОРНИК ЛАБОРАТОРНЫХ
РАБОТ**

**«Комбинационные и последовательностные цифровые схемы»
ч.1**

по курсам «Микросхемотехника»,
«Схемотехника электронных средств»

Для студентов специальностей 2205, 2019

КАФЕДРА КОНСТРУИРОВАНИЯ ЭЛЕКТРОННЫХ СРЕДСТВ



Таганрог 2004

1. КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ СХЕМЫ

Лабораторная работа №1

Синтез двоичного дешифратора

Дешифраторы относятся к преобразователям кодов. Двоичные дешифраторы преобразуют двоичный код в код «1 из N». В кодовой комбинации этого кода только одна позиция занята единицей, а все остальные – нулевые. Например, код «1 из N», содержащий пять кодовых комбинаций, будет иметь вид:

Таблица

Десят. код	Двоичный код			Унитарный код				
	С	В	А	L4	L3	L2	L1	L0
0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	1	0
2	0	1	0	0	0	1	0	0
3	0	1	1	0	1	0	0	0
4	1	0	0	1	0	0	0	0

Полный двоичный дешифратор, имеющий n входов, должен иметь 2^n выходов, соответствующих числу разных комбинаций в n -разрядном двоичном коде. Если часть входных наборов не используется, то дешифратор называют неполным, и у него число выходов меньше 2^n . В условном обозначении дешифраторов проставляются буквы DC (от английского Decoder). Входы дешифратора принято обозначать их двоичными весами. Кроме информационных входов дешифратор обычно имеет один или более входов разрешения работы, обозначаемых как EN (Enable). При наличии разрешения по этому входу дешифратор работает описанным выше образом. При его отсутствии все выходы дешифратора пассивны. На рис. 1.1 приведено условное графическое обозначение дешифратора.

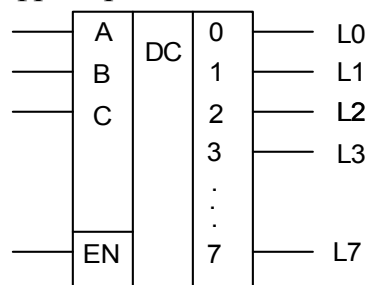


Рис. 1.1

Составим логические уравнения такого дешифратора:

$$L0 = \overline{C} \overline{B} \overline{A}$$

$$L1 = \overline{C} \overline{B} A$$

$$L2 = \overline{C} B \overline{A}$$

$$L3 = \overline{C} B A$$

$$L4 = C \overline{B} \overline{A}$$

Дешифратор строится в виде матрицы, соответствующей совокупности схем **И**. Дешифратор с диодными конъюнктивными элементами имеет вид, показанный на рис. 1.2.

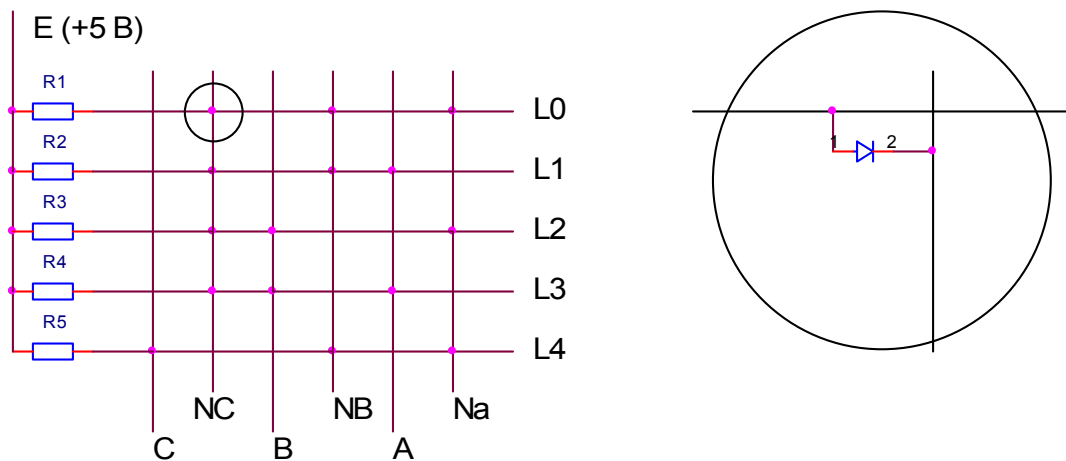


Рис. 1.2

Схема собирается и моделируется в проекте Analog or Mixed САПР OrCAD 9.1. Двоичный код формируется тремя JK-триггерами. Схема и результаты моделирования представлены на рис. 1.3 и рис. 1.4.

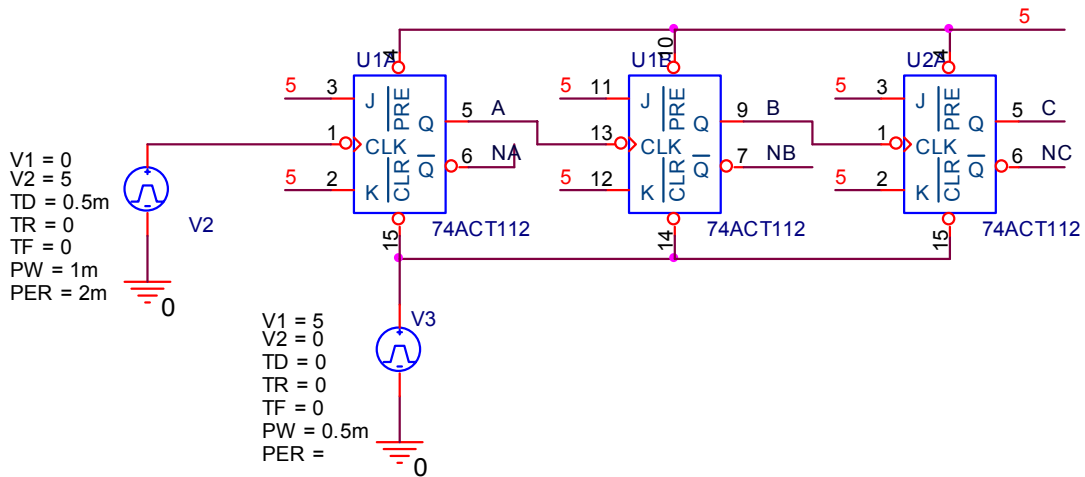
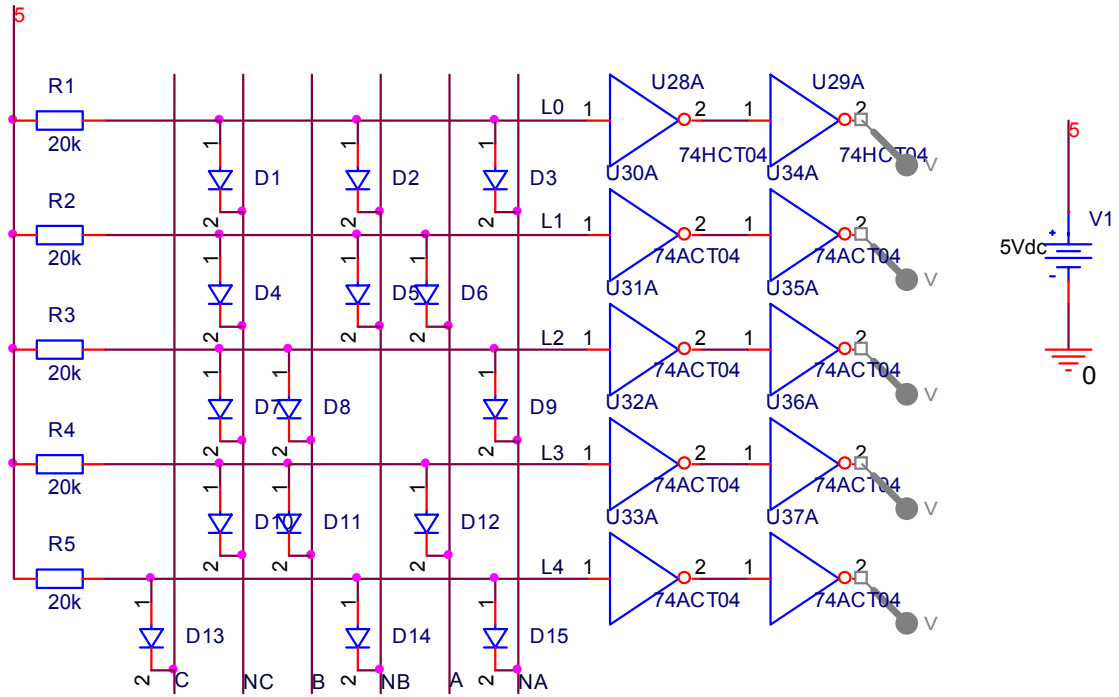


Рис. 1.3

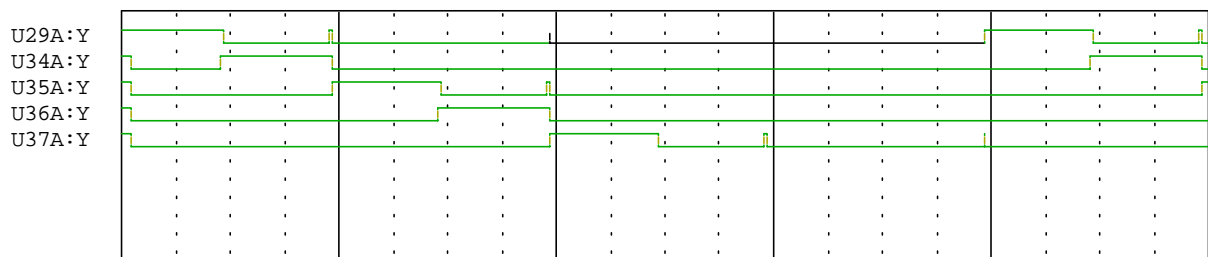


Рис.1.4

Из графика рис.1.4 видно, что схема работает в режиме пятиразрядного дешифратора. (Длительность анализа установлена равной 20 мс, минимальный шаг анализа – 10 мкс).

Лабораторное задание. Синтезировать дешифратор на 6,7,8 или 9 входов. Промоделировать разработанную схему.

Лабораторная работа №2

Синтез двоичного шифратора

Двоичные шифраторы выполняют операции, обратную по отношению к операции дешифратора: они преобразуют код «1 из N» в двоичный. При возбуждении одного из входов шифратора на его выходе формируется двоичный код номера возбужденной входной линии. Полный двоичный шифратор имеет 2^N входов и N выходов.

Приоритетные шифраторы вырабатывают на выходе двоичный номер старшего запроса в случае, если на входы шифратора поступило несколько запросов. При наличии одного возбужденного входа приоритетный шифратор работает так же, как и двоичный. Условное графическое обозначение шифратора приведено на рис. 2.1.

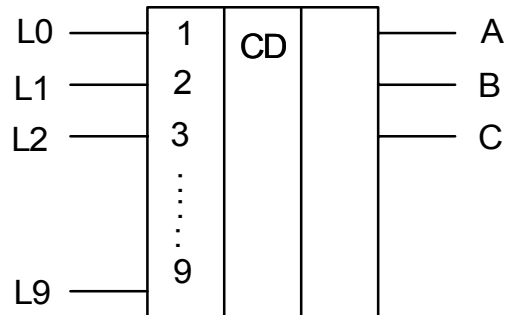


Рис. 2.1

Таблица функционирования шифратора на пять входов имеет вид:

Десят. Код	Унитарный код					Двоичный код		
	L4	L3	L2	L1	L0	C	B	A
0	0	0	0	0	1	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	1	0	0	0	0	1	1
4	1	0	0	0	0	1	0	0

Из таблицы получим алгебраические выражения:

$$C=L4$$

$$B=L3+L2$$

$$A=L3+L1$$

Шифратор может быть реализован с помощью матрицы дизъюнкций (рис. 2.2):

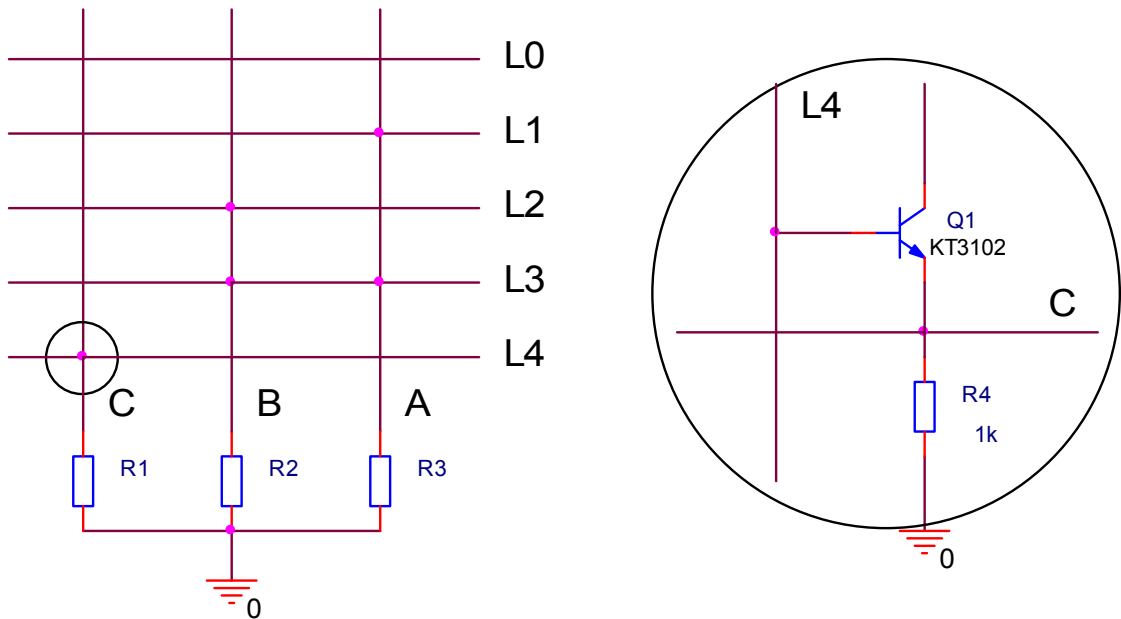


Рис. 2.2

Моделирование схемы производим в проекте Analog or Mixed.

Полная схема шифратора приведена на рисунке 2.3. Унитарный код реализуется с помощью регистра, выполненного на D-триггерах. На выходе двоичного кода включены по два инвертора. Это сделано для того, чтобы сигнал был неинвертированным, и чтобы двоичные сигналы выводились на цифровой экран с разнесенными осями для каждого сигнала.

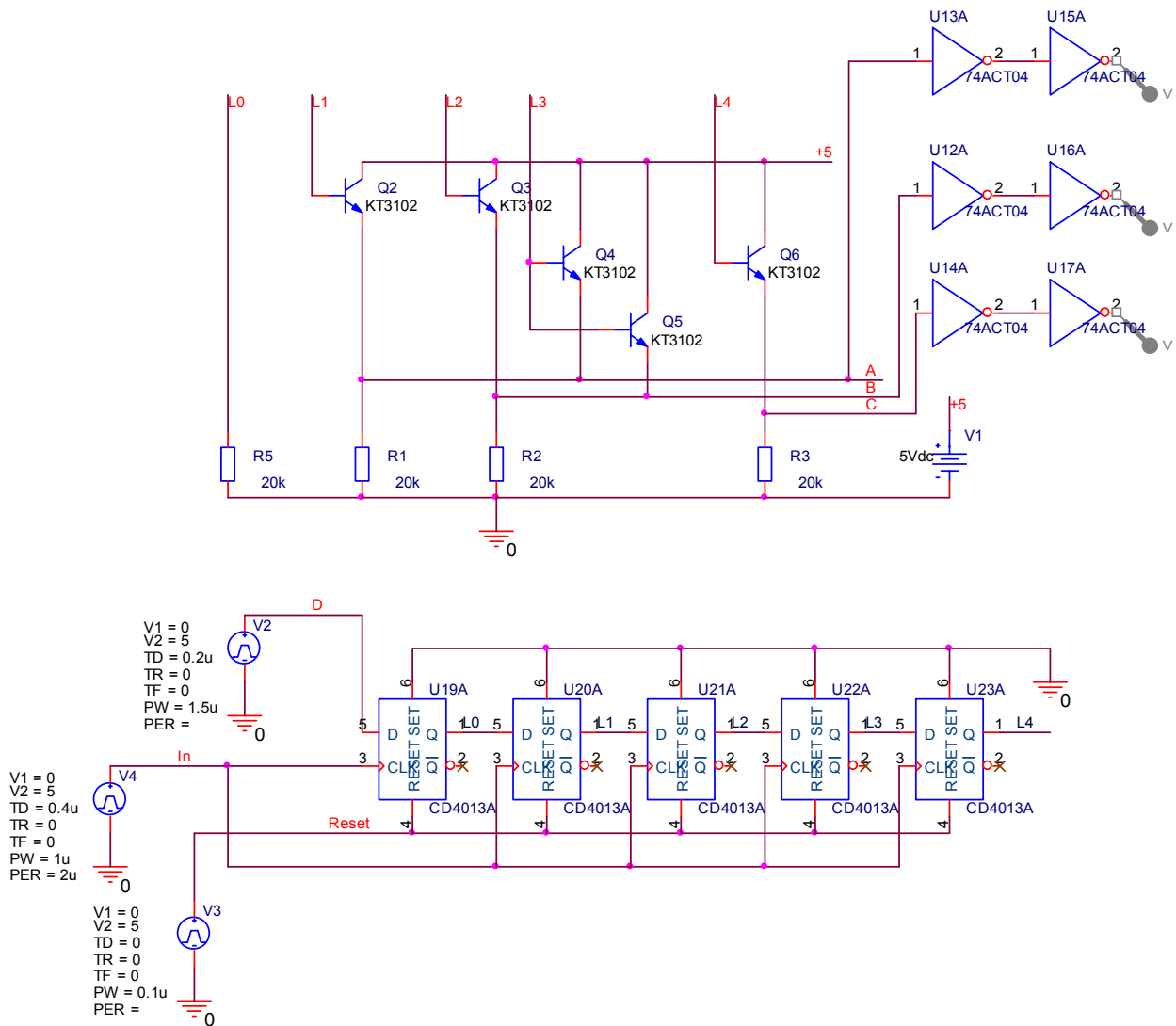


Рис. 2.3

Результаты моделирования приведены на рисунке 2.4.

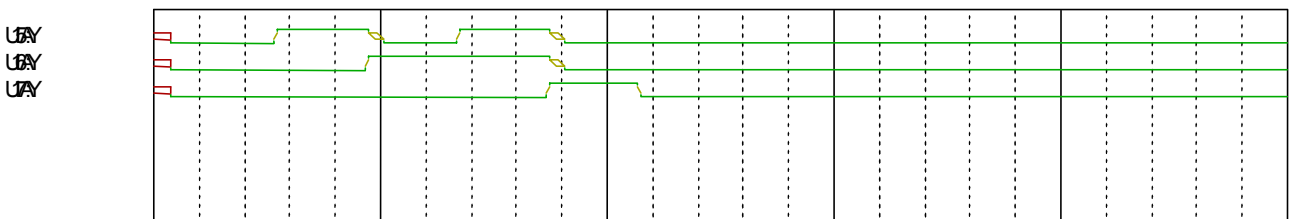


Рис. 2.4

Полученные последовательности показывают правильность спроектированной схемы. На рисунке нижняя кривая – А, верхняя кривая – С, средняя – В.

Лабораторное задание. Синтезировать двоичный шифратор на 6,7,8 или 9 входов. Промоделировать разработанную схему.

Лабораторная работа №3

Синтез цифрового компаратора

Компараторы (устройства сравнения) определяют отношения между словами. Основными отношениями, через которые можно выразить остальные, можно считать два: «равно» и «больше». В сериях цифровых элементов обычно имеются компараторы с тремя входами: «равно», «больше» и «меньше» (рис. 3.1).



Рис. 3.1

Устройства сравнения на равенство строятся на основе поразрядных операций над одноименными разрядами обоих слов. Слова равны, если равны все одноименные их разряды. Признак равенства разрядов:

$$F = (\bar{A} + B)(A + \bar{B})$$

$$F_{A=B} = \overline{A\bar{B}} * \overline{B\bar{A}}$$

$$F_{A=B} = \overline{A\bar{B}} + \overline{B\bar{A}}$$

$$F_{A=B} = \overline{A\bar{B}} + \overline{\bar{A}B}$$

$$F_{A=B} = \overline{B + \bar{A}} + \overline{\bar{A} + B}$$

Построение компаратора на «больше» для одnorазрядных слов требует реализации функции

$$F_{A>B} = \overline{A\bar{B}}$$

Если имеется многоразрядное слово, то в случае равенства старших разрядов требуется проверка на «больше» следующего разряда и т.д. Поэтому можно записать:

$$F_{A>B} = A_{n-1} \overline{B_{n-1}} + F_{A_{N-1}=B_{N-1}} A_{N-2} \overline{B_{N-2}} + F_{A_{N-1}=B_{N-1}} F_{A_{N-2}=B_{N-2}} A_{N-3} \overline{B_{N-3}} + \dots$$

На основе первой формулы реализуем устройство в виде схемы. Для проверки работы схемы используем проект PC Board. Схема в этом проекте выглядит следующим образом (рис. 3.1).

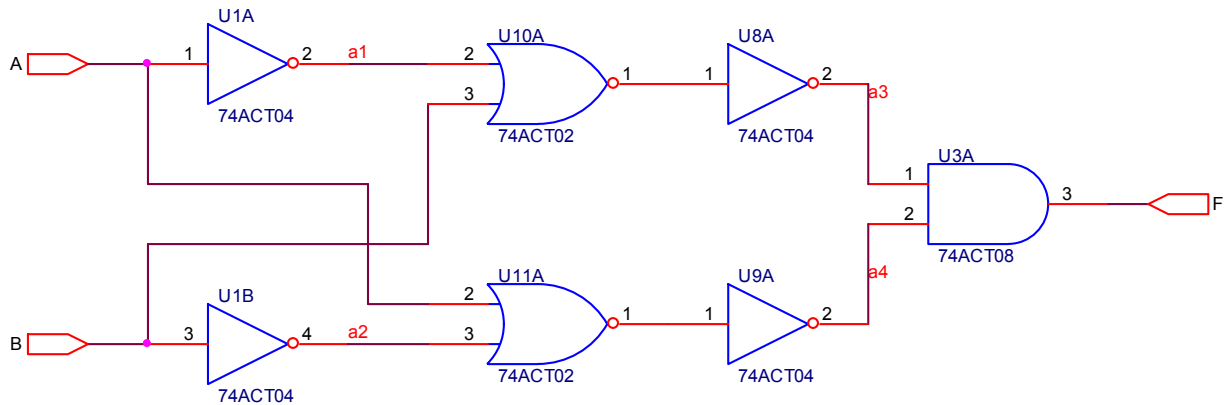


Рис. 3.1

Подает сигналы на входы A и B так, чтобы они образовали цифровую последовательность 00, 01, 10, 11. Моделирование схемы дает следующие результаты:

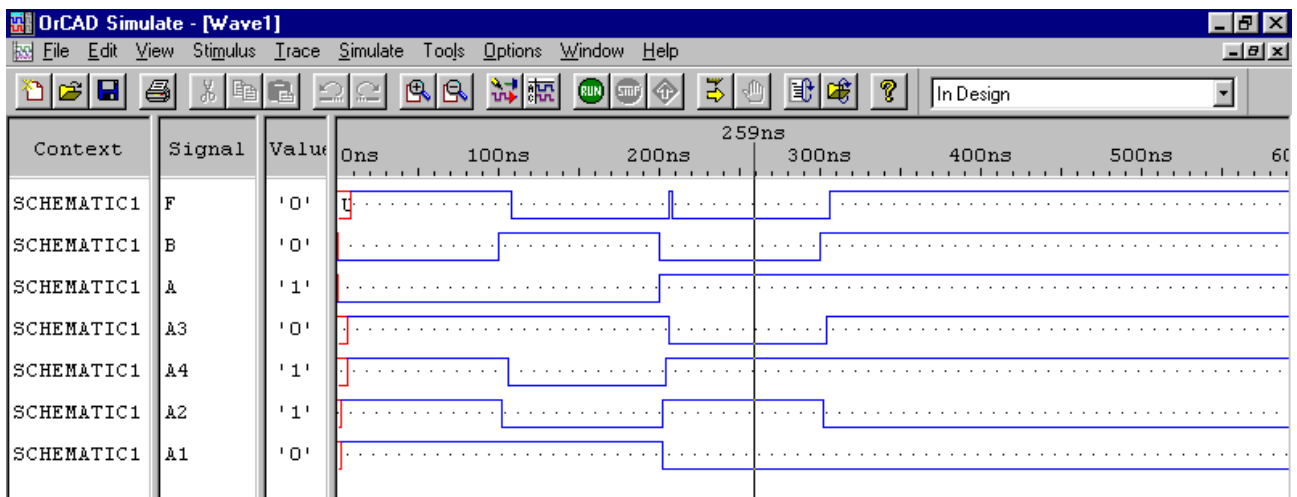


Рис. 3.2

На основе графиков рис. 3.2 делаем вывод, что на выходе F присутствует единица, если на входы A и B поданы 0 и 0 или 1 и 1. То есть на выходе индицируется функция равнозначности.

Лабораторное задание.

1. Разработать схему компаратора для определения равнозначности двухразрядного слова, используя одно из заданных преподавателем выражений. Промоделировать схему в проекте PCBoard. По результатам моделирования построить таблицу истинности.

2. Разработать схему компаратора на «больше» для двухразрядного слова. Промоделировать схему. По результатам моделирования построить таблицу истинности.

Лабораторная работа №4

Синтез мультиплексора

Мультиплексоры осуществляют подключение одного из входных каналов к выходному под управлением адресного слова. Условное графическое изображение четырехвходового мультиплексора приведено на рис. 4.1.

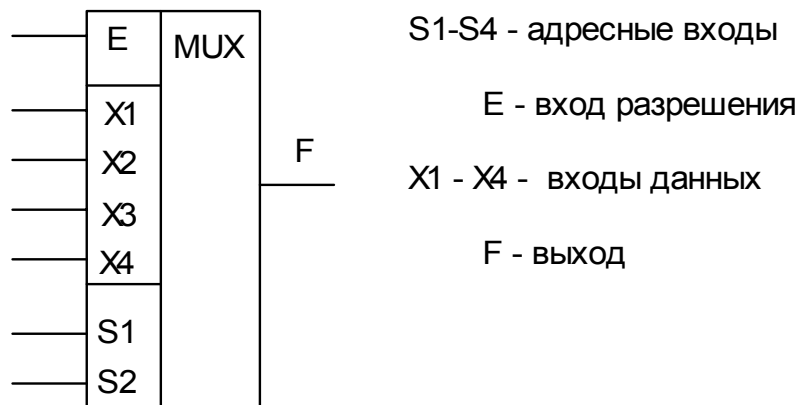


Рис. 4.1

Мультиплексоры для коммутации многоразрядных слов состоят из одноразрядных.

Рассмотрим трехвходовой мультиплексор. Таблица истинности мультиплексора имеет вид:

L1	L0	F
0	0	A_0
0	1	A_1
1	0	A_2

На основании таблицы составим алгебраическое выражение функционирования мультиплексора:

$$F = A_0 \bar{L}_1 \bar{L}_0 + A_1 \bar{L}_1 L_0 + A_2 L_1 \bar{L}_0$$

Реализуем это логическое выражение в виде ПЛМ (рис. 4.2).

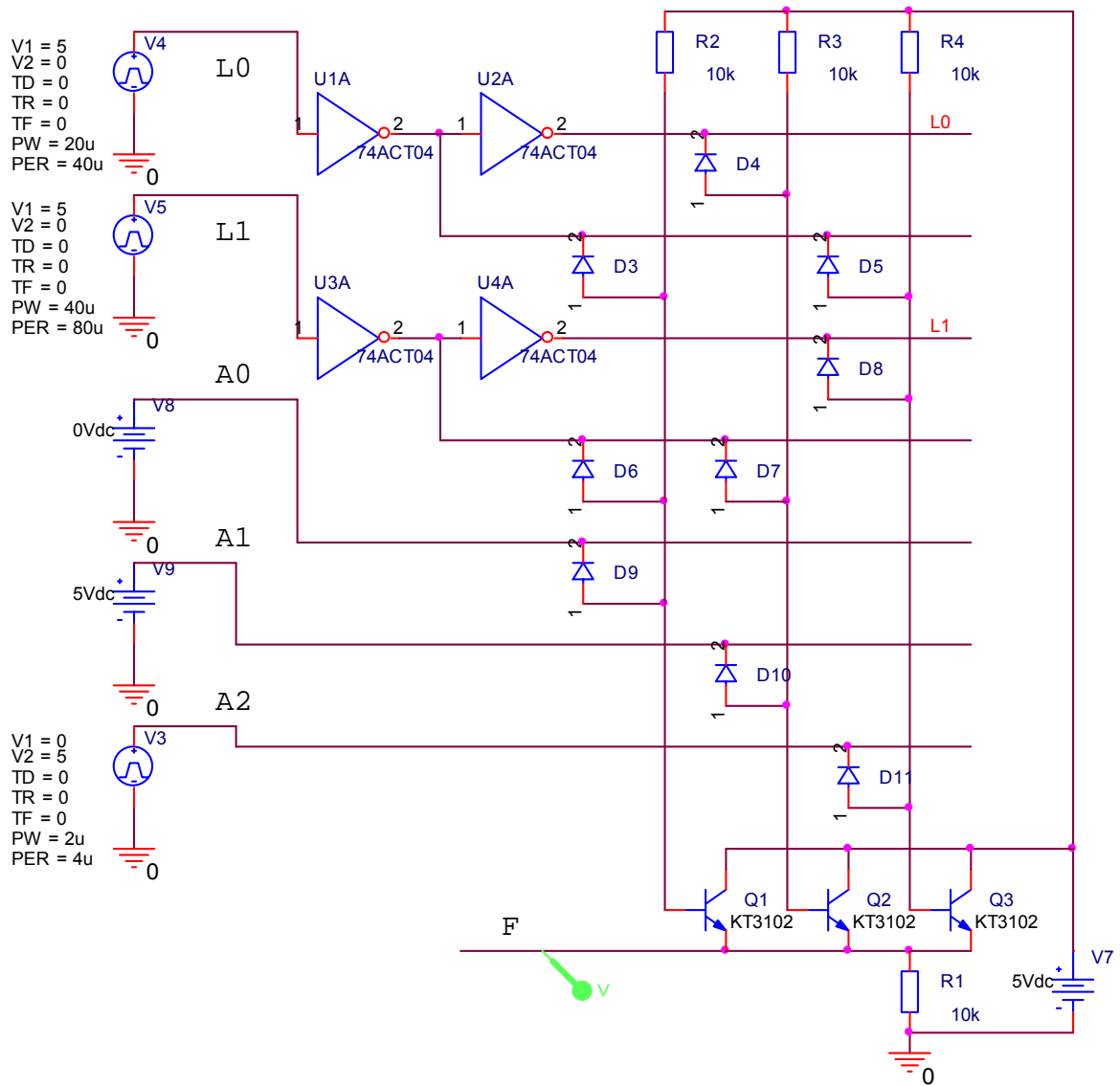


Рис. 4.2

В качестве A_0 применен уровень логического нуля, A_1 – уровень логической единицы, A_2 – импульсный сигнал. Это сделано для того, чтобы можно было различить сигналы на выходе. Параметры сигналов L0 и L1 подобраны так, чтобы была образована последовательность комбинаций 00, 01, 10, 11. Длительность анализа установлена равной 100 микросекунд. На выходе F схемы получены следующие графики (рис. 4.3).

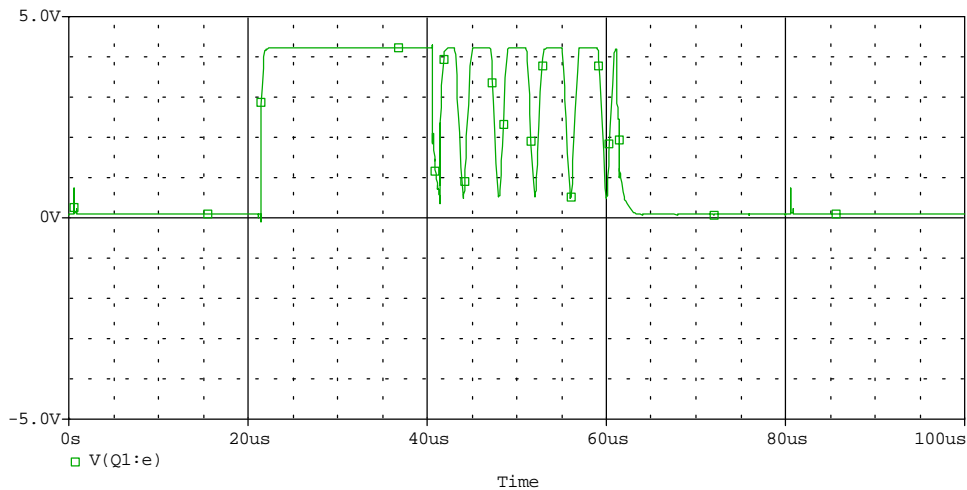


Рис. 4.3

Из этих графиков следует, что при $L1L0=00$ на выходе подключается источник $A0$. При $L1L0=01$ подключается источник $A1$. При $L1L0=10$ подключается к выходу источник $A2$. Таким образом, синтезированная схема соответствует заданию.

Лабораторное задание. Синтезировать четырехходовой мультиплексор. Промоделировать разработанную схему.

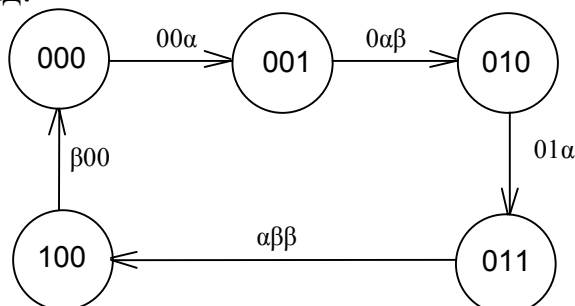
2. ПОСЛЕДОВАТЕЛЬНЫЕ ЦИФРОВЫЕ СХЕМЫ

Лабораторная работа №5

Синтез двоичного счетчика

К двоичным счетчикам относятся автоматы, которые под действием входных импульсов переходят из одного состояния в другое, фиксируя тем самым число поступивших на их вход импульсов в двоичном коде. Счетчик характеризуется модулем счета (емкостью). Модуль определяет число возможных состояний счетчика. Двоичные счетчики реализуются на JK-, D-, T – триггерах. В качестве примера рассмотрим синтез двоичного счетчика, реализующий счет до пяти.

Граф счетчика с нанесенными на него символами переходов выходной переменной имеет вид:



На основе графа запишем таблицу секвенций (sequence – последовательность) счетчика на пять:

Номер состояния	n			n+1		
	A	B	C	A	B	C
0	0	0	0	0	0	α
1	0	0	1	0	α	β
2	0	1	0	0	1	α
3	0	1	1	α	β	β
4	1	0	0	β	0	0
x	1	0	1	x	x	x
x	1	1	1	x	x	x
x	1	1	1	x	x	x

Из таблицы секвенций составим разностные карты минтермов для разрядов A^{n+1} , B^{n+1} , C^{n+1} .

A^{n+1}

		AB		A	
		00	01	11	10
C	0	0	0	x	β
	1	0	α	x	x
		B			

B^{n+1}

		AB		A	
		00	01	11	10
C	0	0	1	x	0
	1	α	β	x	x
		B			

C^{n+1}

		AB		A	
		00	01	11	10
C	0	0	0	x	β
	1	0	α	x	x
		B			

Выберем типы триггеров для каждого разряда.

Для A – JK-базис;

Для B – T-базис;

Для C – T-базис.

В таблице разностных карт минтермов вместо $f_q=0,1,\alpha,\beta$ подставим их значения из словаря с характеристическими базами:

J_A				K_A							
C	AB	A				C	AB	A			
		0	0	X(0)	X(0)			X(1)	X(1)	X(1)	X(1)
C	[0	1	X(1)	X(0)	C	[X(1)	X(1)	X(1)	X(1)
		B						B			
		$J_A=BC$						$K_A=1$			

В скобках указаны выбранные значения вместо избыточных.

T_B				T_C							
C	AB	A				C	AB	A			
		0	0	X(0)	0			1	1	X(0)	0
C	[1	1	X(1)	X(1)	C	[1	1	X(0)	X(0)
		B						B			
		$T_B=C$						$T_C = \bar{A}$			

Уравнения входов JK и T-триггеров имеют вид:

$$J_A=BC; K_A=1; T_B=C; T_C = \bar{A}.$$

На основе этих уравнений составим схему счетчика на пять (рис. 5.1).

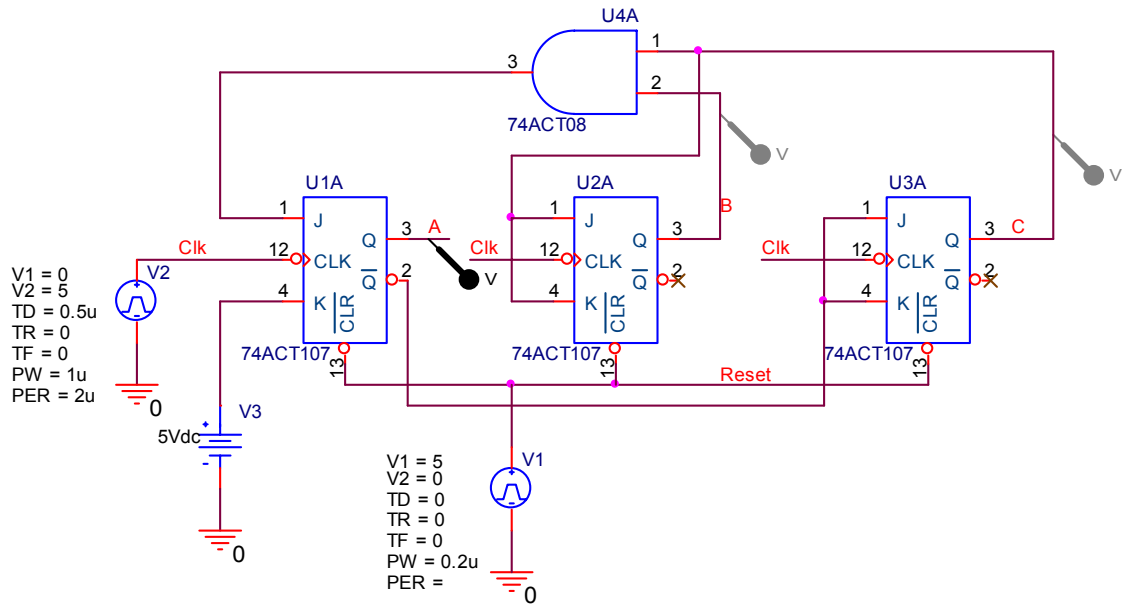


Рис. 5.1

Моделируем эту схему в проекте Analog or Mixed. Устанавливаем время анализа 50 мкс, максимальный шаг – 10 нс. Получаем следующие графики работы схемы (рис. 5.2).

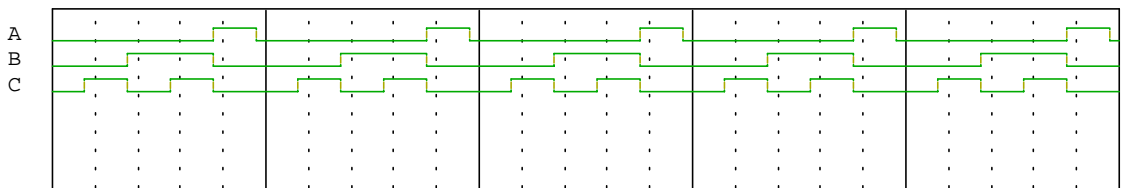


Рис. 5.2

Из графиков заключаем, что схема работает в режиме двоичного счетчика. Последовательность счета соответствует приведенной в таблице секвенций: 000, 001, 010, 011, 100, 000 и т.д.

Лабораторное задание. Синтезировать двоичный счетчик на 6 (7, 8 или 9) состояний. Промоделировать схему.

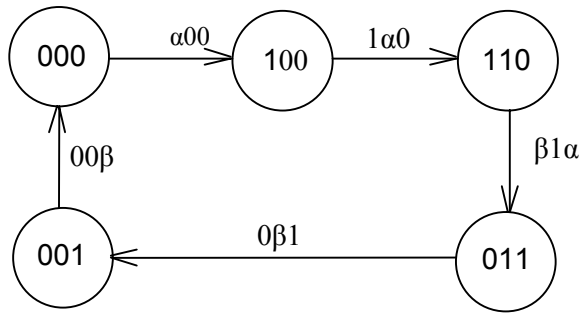
Лабораторная работа №6

Синтез счетчика с недвоичным кодированием

Наибольшее практическое значение среди счетчиков с недвоичным кодированием состояний имеют счетчики с кодом Грея, счетчики Джонсона и счетчики с кодом «1 из N».

Рассмотрим синтез счетчика в коде Джонсона, реализующего счет до пяти. Код Джонсона получается в схемах на основе регистров сдвига.

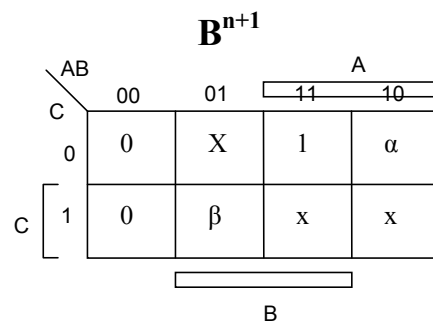
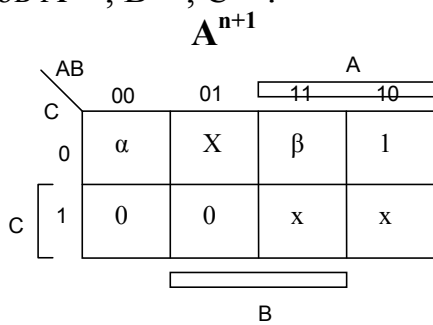
Граф счетчика с нанесенными на него символами переходов выходной переменной имеет вид:



На основе графа запишем таблицу секвенций счетчика:

Номер состояния	n			n+1		
	A	B	C	A	B	C
0	0	0	0	α	0	0
1	1	0	0	1	α	0
2	1	1	0	β	1	α
3	0	1	1	0	β	1
4	0	0	1	0	0	β

Из таблицы секвенций составим разностные карты минтермов для разрядов A^{n+1} , B^{n+1} , C^{n+1} .



C^{n+1}

		AB		A	
		00	01	11	10
C	0	0	X	α	0
	1	β	1	x	x
		B			

Выберем типы триггеров для каждого разряда.

Для А – JK-базис;

Для В – D-базис;

Для С – JK-базис.

В таблице разностных карт минтермов вместо $f_q=0,1,\alpha,\beta$ подставим их значения из словаря с характеристическими базами:

J_A					K_A						
		AB		A				AB		A	
		00	01	11	10			00	01	11	10
C	0	1	x(1)	X(1)	X(1)	X(0)	X(1)	1	0		
	1	0	0	X(0)	X(0)	X(0)	X(1)	X(1)	X(0)		
		$J_A = \bar{C}$				$K_A = B$					

		AB		A	
		00	01	11	10
C	0	0	X(0)	1	1
	1	0	0	X(1)	X(1)
		$D_B = A$			

J_C					K_C						
		AB		A				AB		A	
		00	01	11	10			00	01	11	10
C	0	0	X(1)	1	0	X(1)	X(0)	X(0)	X(0)		
	1	X(0)	X(1)	X(1)	X(0)	1	0	X(0)	X(0)		
		$J_C = C$				$K_C = \bar{A}\bar{B} = \bar{A} + \bar{B}$					

На основании уравнений входов составим схему счетчика на пять на основе регистров. (рис. 6.1).

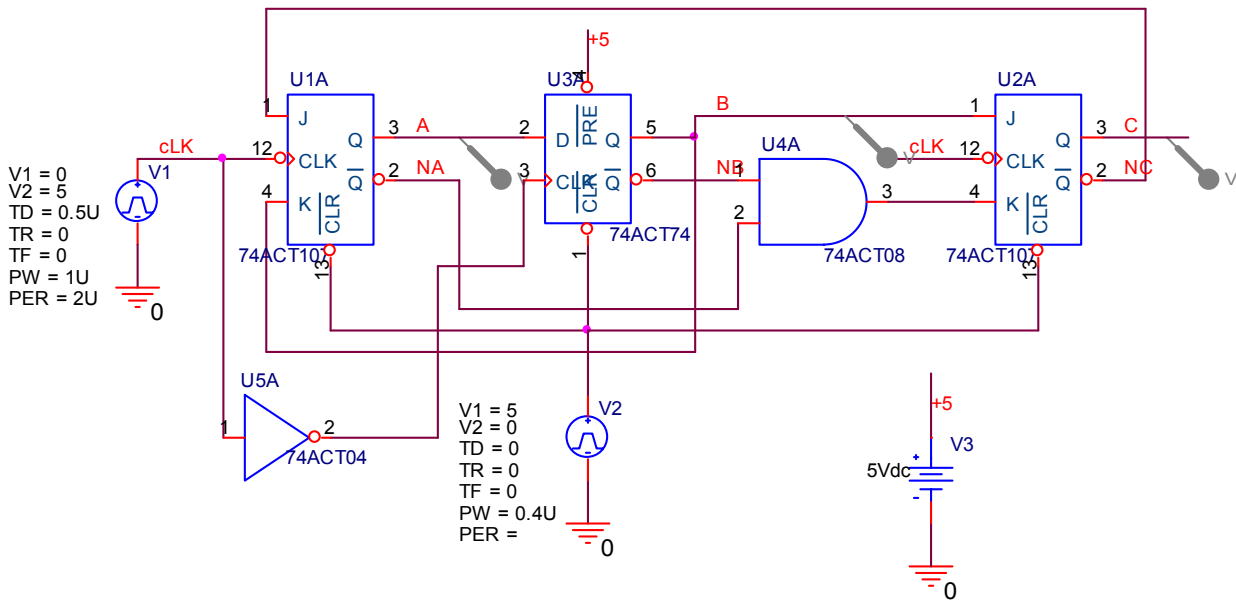


Рис. 6.1

Моделируем эту схему в проекте Analog or Mixed. Устанавливаем время анализа 20 мкс, максимальный шаг – 10 нс. Получаем следующие графики работы схемы (рис. 6.2).

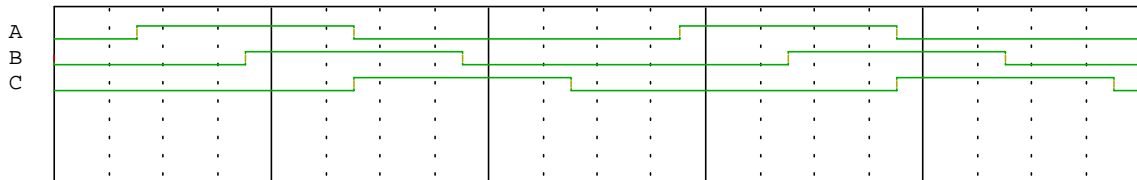


Рис. 6.2

Из графиков заключаем, что схема работает в режиме делителя на пять, а последовательность счета соответствует приведенной в таблице секвенций: 000, 100, 110, 011, 001, 000 и т.д.

ЛИТЕРАТУРА

1. Лукьяненко Е.Б., Ивченко В.Г., Лещенко А.В. Руководство к лабораторной работе «Проектирование цифровых и аналого-цифровых узлов в САПР OrCAD 9.1». Таганрог: Изд-во ТРТУ, 2002. 32с. №3180.
2. Лукьяненко Е.Б. Руководство к практическим занятиям «Проектирование ПЛИС с использованием САПР OrCAD 9.1». Таганрог: Изд-во ТРТУ, 2003. 35с. №3277-а.

