

## ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Микросхемы памяти в общем объеме выпуска ИС занимают около 40% и играют важную роль.

### Классификация ЗУ

Важнейшим признаком является способ доступа к данным. По этому признаку различаются 3 вида ЗУ:

1. Адресные ЗУ: код на адресном входе указывает ячейку, с которой ведется обмен.

Адресные ЗУ: делятся на RAM (Random ACCESS Memory) (ОЗУ-оперативные запоминающие устройства) и ROM (Read-Only Memory) (ПЗУ-постоянные запоминающие устройства).

RAM делятся на статические - SRAM (Static RAM) и динамические - DRAM (Dynamic RAM).

В статических ОЗУ запоминающими элементами являются триггеры. В динамических ОЗУ данные хранят в виде зарядов конденсаторов, образуемых элементами МОП-структур. Запоминающие конденсаторы разряжаются, поэтому каждые несколько миллисекунд данные должны регенерироваться

Плотность упаковки динамических элементов памяти в несколько раз выше, чем статических.

Динамические ОЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, но имеют большее энергопотребление и меньшее быстродействие.

Постоянная память типа ROM имеет следующие разновидности:

1. Программируемые при изготовлении ИМС с помощью одной из масок. Эта память типа ПЗУМ (ПЗУ масочные). [ROM(M)]

2. Память, программируемая пользователем (ППЗУ – программируемые ПЗУ):

– PROM – содержимое записывается однократно в память.

– EPROM и EEPROM – содержимое может быть заменено путем стирания информации и записи новой.

В EPROM – стирание путем облучения кристалла ультрафиолетовыми лучами (РПЗУ-УФ – репрограммируемые ПЗУ с УФ стиранием).

В EEPROM – стирание происходит электрическими сигналами (РПЗУ-ЭС – репрограммируемые ПЗУ с электрическим стиранием).

Запись данных для EPROM и E<sup>2</sup>PROM производится электрическими сигналами.

2. Последовательные ЗУ:

- FIFO;
- Стековые (LIFO);
- Файловые;
- Циклические.

В FIFO запись в буфер становится сразу доступной для чтения, т.е. поступает в конец цепочки (First In - First Out) – «первый пришел – первый вышел».

В файловых – данные поступают в начало цепочки.

В циклических ЗУ – слова доступны одно за другим с постоянным периодом, определяемым емкостью памяти. К такому типу относится видеопамять (VRAM).

В стековых ЗУ считывание происходит в обратном порядке (последний принят – первый вышел) – LIFO (Last In – First Out).

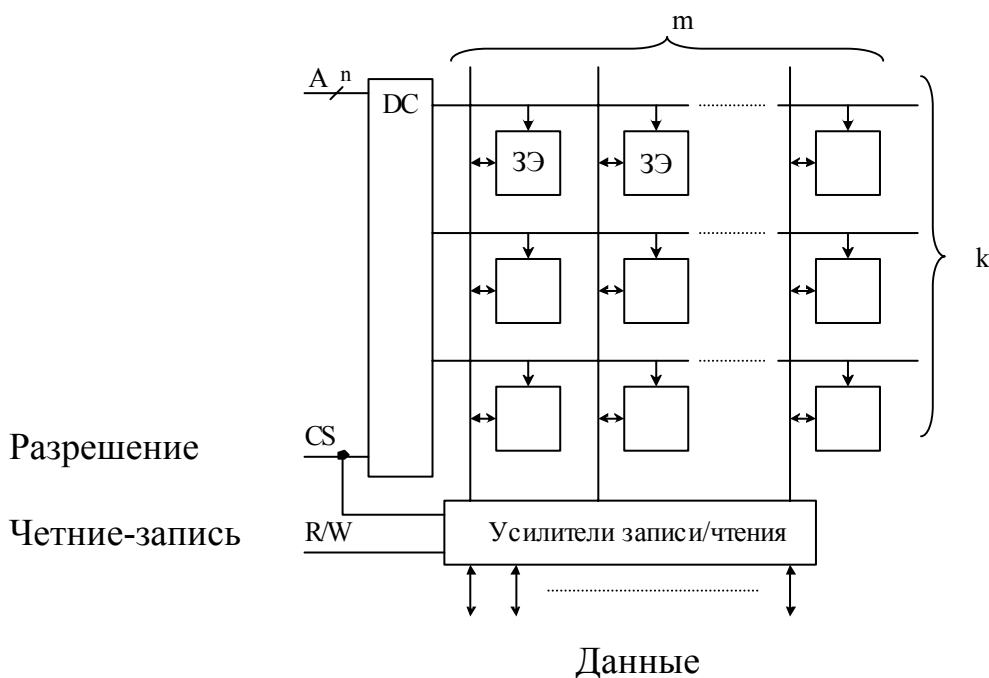
### 3. Ассоциативные ЗУ.

Поиск информации происходит по некоторому признаку, а не по ее расположению в памяти.

## Структуры ЗУ

Для ПЗУ и статических ОЗУ характерны структуры 2D, 3D и 2DM

### Структура 2D



$k$  – число хранимых слов;

$m$  – разрядность слов;

$M=k \times m$  – информационная емкость памяти (в битах).

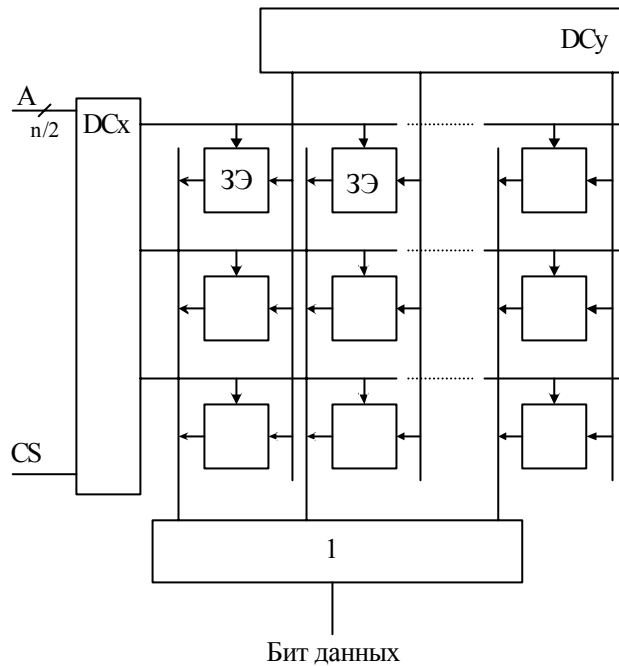
Дешифратор адресного кода при наличии разрешающего сигнала CS активизирует одну из выходных линий, разрешая доступ ко всем элементам выбранной строки. Элементы одного столбца соединены вертикальной линией - внутренней линией данных (разрядной линией, линией записи/считывания). Направление обмена определяется усилителями записи/чтения под воздействием сигнала R/W (Read – чтение, Write - запись).

Структура 2D применяется только в ЗУ малой емкости из-за чрезмерного усложнения дешифратора при росте числа хранимых слов.

### Структура 3D

Позволяет упростить дешифраторы адреса с помощью двухкоординатной выборки запоминающих элементов.

Пример ЗУ типа ROM (только чтение данных, одноразрядная организация):



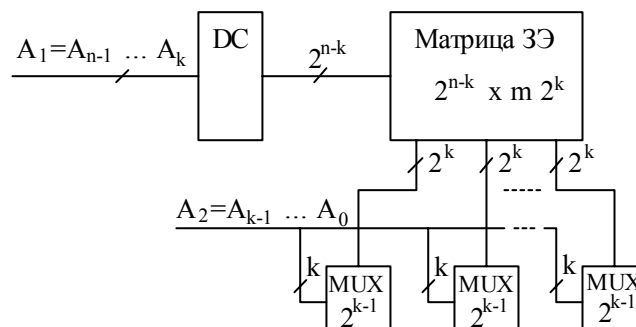
Выбирается 3Э, находящийся на пересечении линий выходов дешифраторов.

Например для ЗУ емкостью 1 К слов потребуется для 2D – дешифратор с 1024 выходами, а для 3D – 2 дешифратора с 32 выходами.

### Структура 2DM (модифицированная)

Сочетаются достоинства обеих структур: упрощается дешифрация адреса и не требуются запоминающие элементы с двухкоординатной выборкой.

Рассмотрим ЗУ типа ROM.



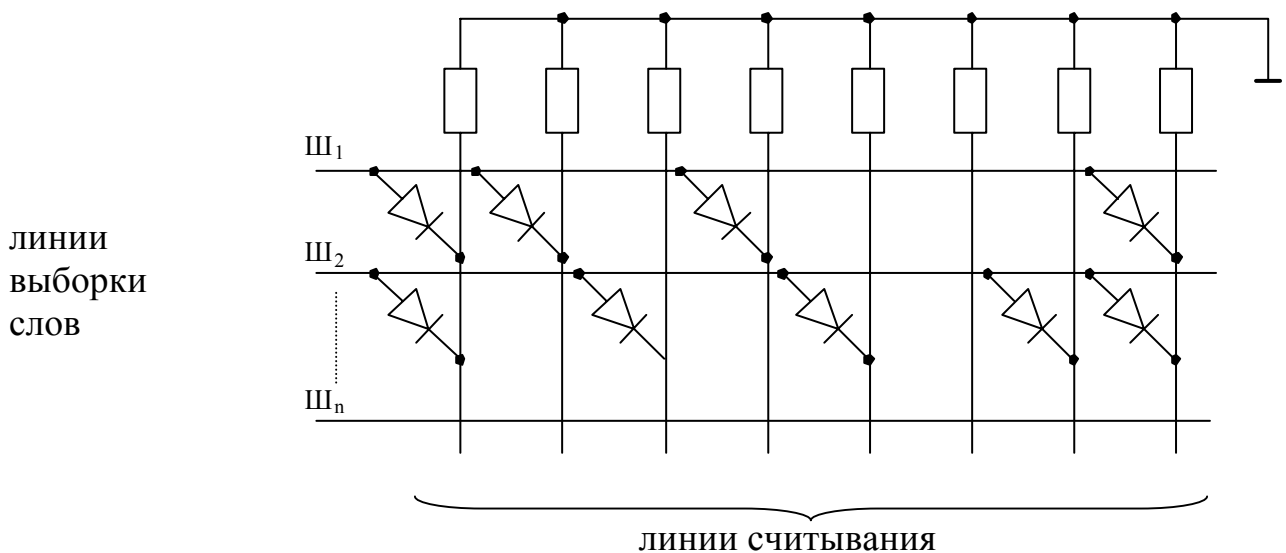
Дешифратор выбирает в матрице ЗЭ целую строку (как в 2D). Однако длина строки многократно превышает разрядность хранимых слов. При этом увеличивается число строк матрицы и уменьшается число выходов дешифратора.

## Типы ЗУ

### Масочные ЗУ [ROM(M)]

Элементами связи могут быть диоды, биполярные транзисторы, МОП-транзисторы. Программируются с помощью одной из масок при изготовлении ЗУ.

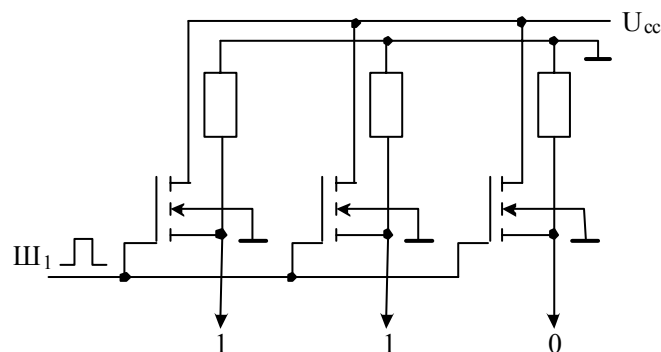
### *Диодные ЗЭ*



При наличии диода высокий потенциал выбранной горизонтальной линии передается на соответствующую вертикальную линию и в данном разряде появляется «1».

При возбуждении (высокий потенциал) линии Ш<sub>1</sub> считывается слово 11010001. При возбуждении Ш<sub>2</sub> считывается слово 10101011. Линии выборки (Ш<sub>1</sub>-Ш<sub>n</sub>) являются выходами дешифратора адреса.

### *Матрица МОП-транзисторных элементов*



В МОП-транзисторах, соответствующих хранению нуля, увеличивают толщину подзатворного окисла, что ведет к увеличению порогового напряжения транзистора. В этом случае рабочие напряжения не могут открыть транзистор, что соответствует его отсутствию.

Масочные ЗУ отличаются высоким уровнем интеграции.

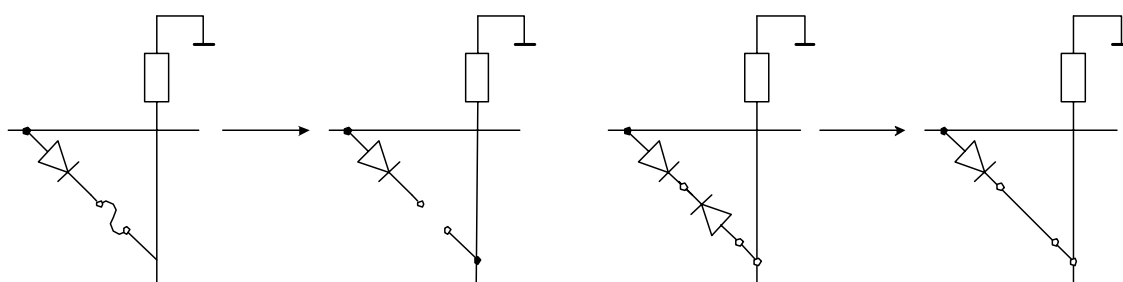
Область применения: хранение стандартной информации, имеющей широкий круг потребителей. Это прошивка кодов букв русского и латинского алфавита, таблицы типовых функций (sin, квадратичной функции и др.), стандартное программное обеспечение и т.п.

### ЗУ типа PROM

Такие ЗУ программируются пользователем устранением или созданием перемычек.

Устранение части перемычек свойственно ЗУ с

1) плавкими перемычками (типа *fuse* – предохранитель). В исходном состоянии ЗУ имеет все перемычки, а при программировании часть их ликвидируется путем расплавления импульсами тока (большой амплитуды и длительности). Эти перемычки включаются в электроды диодов или транзисторов. Изготавливаются металлическими (нихром) и поликристаллическими (кремниевыми).



Исходное состояние

перемычка удалена

перемычка  
образована

2) другой тип перемычки: два встречно включенных диода. В исходном состоянии цепь можно считать разомкнутой. Для записи «1» к диодам прикладывается высокое напряжение, пробивающее диод, смещенный в обратном направлении. Диод пробивается с образованием в нем короткого замыкания.

3) схемы с тонкими пробиваемыми диэлектрическими перемычками (типа *antifuse*) более компактны и совершенны. Применяются в ПЛИС.

Представителем ЗУ с плавкими перемычками является м/сх К155РЕЗ (ТТЛ).

Плавающие переключки занимают довольно много места, поэтому уровень (степень) интеграции ниже, чем у масочных ЗУ. Однако имеют невысокую стоимость, т.к. изготовитель выпускает микросхему без учета конкретного содержимого ЗУ. Программирует ЗУ пользователь.

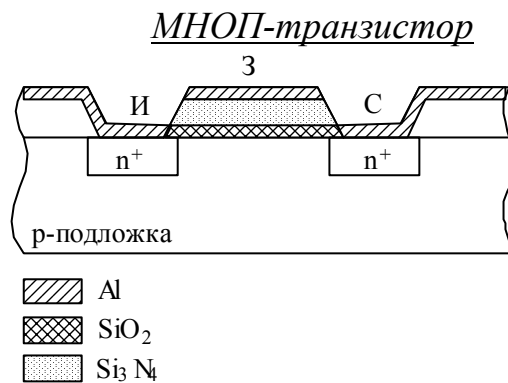
Среди отечественных PROM ведущее место занимают микросхемы серии K556. Емкость 1-64 Кбит и  $\tau_{\text{доступа}}=70-90$  нс.

### ЗУ типов EPROM и E<sup>2</sup>PROM

Это репрограммируемые ЗУ.

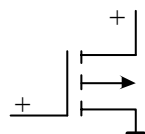
В EPROM (ППЗУ-УФ) – информация стирается ультрафиолетовыми лучами, а в E<sup>2</sup>PROM (ППЗУ-ЭС) – электрическими сигналами.

Запоминающими элементами (современных) ППЗУ являются транзисторы типов МНОП (метал-нитрид-окисел-полупроводник) и ЛИЗМОП (лавинная инжекция заряда).



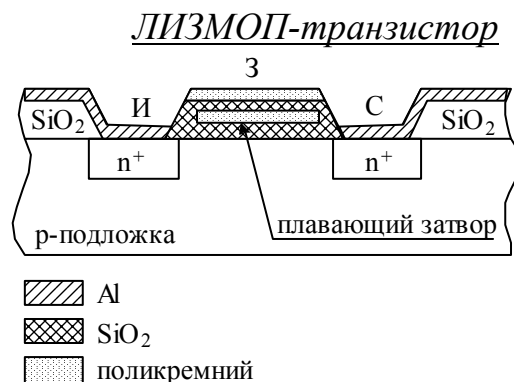
Над каналом расположен тонкий слой оксида кремния SiO<sub>2</sub> (≤5 нм), далее идет толстый слой нитрида кремния Si<sub>3</sub>N<sub>4</sub> и Al затвор. Благодаря туннельному эффекту носители заряда могут проходить через тонкую пленку SiO<sub>2</sub>. Они скапливаются на границе раздела SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>, где возникают центры захвата заряда. Этот заряд и является носителем информации, хранимой МНОП-транзистором. Заряд записывают созданием под затвором напряженности электрического поля, достаточной для возникновения туннельного эффекта. Наличие заряда влияет на пороговое напряжение транзистора. Для него отрицательный заряд увеличивает пороговое напряжение (транзистор закрыт), а положительный заряд уменьшает пороговое напряжение (транзистор открыт). Заряды создаются при приложении напряжения на затвор ( $\pm U_3$ ) (+U<sub>3</sub> создает отрицательные заряды, а -U<sub>3</sub> – положительные). Одно из состояний МНОП-транзистора принимается за «0», другое – за «1».

п-канальный



При программировании используется напряжение около 20В. После 10<sup>4</sup>...10<sup>6</sup> перезаписей МНОП-транзистор перестает устойчиво хранить заряд.

РПЗУ на МНОП-транзисторах энергонезависимы и могут хранить информацию десятками лет. Старая информация стирается записью нулей во все ЛЭ. Тип ЗУ - РПЗУ-ЭС.



Транзисторы имеют плавающий затвор из поликремния. На рис. он является вторым, дополнительным к управляющему затвору.

Такие транзисторы используются в РПЗУ-УФ и в РПЗУ-ЭС.

Принцип работы: в плавающий затвор вводится заряд, влияющий на величину порогового напряжения. Он сохраняется там в течении длительного времени.

При подачи напряжения на управляющий затвор, сток и исток импульса положительного напряжения 20...25 В в p-n-переходах возникает лавинный пробой, область которого насыщается электронами. Часть электронов с высокой энергией проникает через потенциальный барьер в плавающий затвор, где и сохраняется многие годы.

Отрицательный заряд плавающего затвора увеличивает пороговое напряжение настолько, что транзистор всегда закрыт.

При отсутствии заряда транзистор работает в обычном ключевом режиме.

Для стирания информации УФ лучами в корпусе делают окошко. УФ лучи вызывают фототоки и тепловые токи и заряды покидают плавающий затвор. Время стирания – десятки минут. Число циклов – 10...100.

При электронном стирании на затвор подается ноль Вольт, а на сток и исток – высокое напряжение. Число циклов  $10^4 \dots 10^6$ .

ЭС стирание вытесняет УФ стирание.

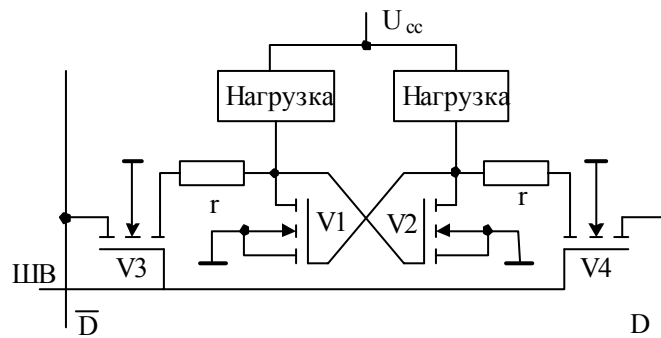
Среди отечественных РПЗУ-УФ известна серия К573, а среди РПЗУ-ЭС – серии КР558 (n-МОП) и К1609, К1624, К1626 на ЛИЗМОП.

### Статические ОЗУ (SRAM)

Довольно дорогостоящие, но имеющие высокое быстродействие. Широко используются в КЭШ-памяти. Имеют обычно структуру 2DМ. При небольшой емкости – 2D.

Запоминающий элемент – триггер с цепями установки и сброса. Применяются схмотехнологии: ТТЛ(Ш), И<sup>2</sup>Л, ЭСЛ, n-МОП, КМОП, AsGa и др. Это микросхемы серии К537 (КМОП) и К132 (n-МОП).

Запоминающие элементы  
на n-МОП транзисторах

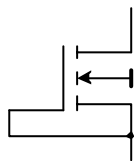


RS-триггер выполнен на транзисторах V1, V2. Транзисторы V3 и V4 – ключи выборки.

При обращении и ЗЭ появляется высокий потенциал на шине выборки ШВ. Этот потенциал открывает ключи выборки (транзисторы T3, T4) Через D и  $\bar{D}$  считываются данные. Через D и  $\bar{D}$  можно записывать данные в триггер, подводя низкий потенциал на шину. Тогда при подаче «0» на  $\bar{D}$  снижается стоковое напряжение транзистора V1, что запирает транзистор V2. Триггер установлен в состоянии «1».

Резистор R служит для уменьшения емкостных токов транзисторов. Реализуются как диффузионные области.

Нагрузки:



n-МОП со встроенным каналом

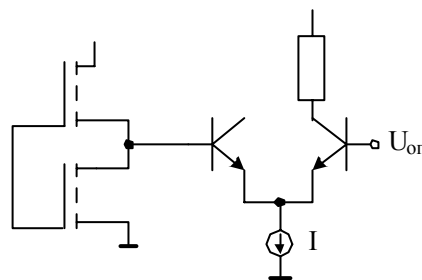


высокоомный  
поликремниевый резистор

Статические ЗУ типа БиКМОП.

БиКМОП – биполярная и КМОП-технология.

Применительно к SRAM это реализация триггеров на КМОП, а цепей выдачи данных, имеющих значительную емкостную нагрузку – по биполярной схемотехнике (ЭСЛ или ТТЛШ).

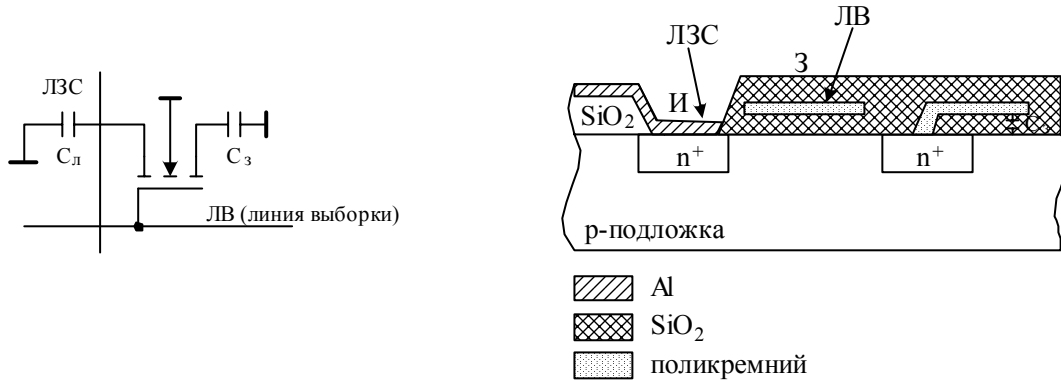




### Динамические ЗУ (DRAM)

Данные хранятся в виде зарядов емкостей МОП-структур. Такой ЗЭ проще триггерного, что позволяет размещать на кристалле в 4-5 раз больше ЗЭ.

*ЗЭ (запоминающий элемент динамического ЗУ):*

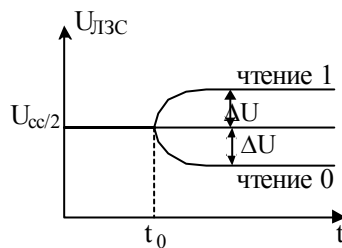


Ключевой транзистор отключает запоминающий конденсатор от линии записи-считывания или подключает его к ней. Сток транзистора не имеет внешнего вывода и образует одну из обкладок конденсатора (поликремний). Между обкладками расположен тонкий слой оксида кремния.

В режиме хранения транзистор заперт. При выборке данного ЗЭ на затвор подается напряжение, открывающее транзистор. Емкость C<sub>з</sub> подключается к линии записи-считывания. И в зависимости от того, заряжена емкость или разряжена, по разному влияет на потенциал ЛЗС.

#### *Процесс чтения состояния ЗЭ*

Перед считыванием производится предзаряд ЛЗС до уровня половины E<sub>П</sub> (U<sub>cc</sub>/2).



Для считывания нуля справедливы следующие рассуждения. До выборки ЗЭ емкость ЛЗС имела заряд:

$$Q = C_{л} U_{cc} / 2$$

После выборки этот же разряд имеет суммарную емкость

$$C_{л} + C_{з} : Q = (C_{л} + C_{з}) \left( \frac{U_{cc}}{2} - \Delta U \right)$$

Приравнивая правые части, получим:

$$C_{л} \frac{U_{cc}}{2} = (C_{л} + C_{з}) \left( \frac{U_{cc}}{2} - \Delta U \right)$$

Откуда:

$$\Delta U = \frac{U_{cc} C_3}{2(C_L + C_3)} \approx \frac{U_{cc}}{2} \frac{C_3}{C_L}$$

$(C_L \gg C_3)$

Считывание является разрушающим – подключение  $C_3$  к ЛЗС изменяет ее заряд.

Стараются увеличивать  $C_3$ . Для этого применяют диэлектрик двуокись титана. Он имеет  $\epsilon$  в двадцать раз больше, чем оксид кремния.

Т.к. емкость  $C_3$  имеет саморазряд, необходимо периодически (с периодом 1-15 мс) восстанавливать напряжение на  $C_3$ , или говорят регенерировать.

## ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛИС)

Стандартные БИС лидируют по степени интеграции. Наряду со стандартными БИС в системе присутствуют и нестандартные части, присущие для данной разработки. Реализация нестандартной части исторически была связана с применением стандартных микросхем среднего уровня интеграции. При этом росло число корпусов ИС, усложнялся монтаж, снижалась надежность системы и ее быстродействие.

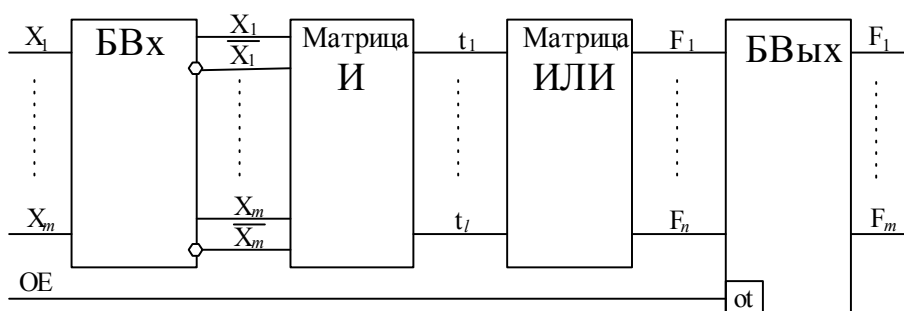
Заказать выполнение нестандартной части в виде БИС связано было с большой стоимостью и большим временем проектирования. Это противоречие нашло разрешение на путях разработки БИС с программируемой и репрограммируемой структурой.

Первые представители: программируемые логические матрицы ПЛМ (PLA), программируемая матричная логика ПМЛ (PAL) и базовые матричные кристаллы БМК (GA). PLA и PAL объединяются под термином PLD. Простые – SPLD, сложные – CPLD.

### Программируемые логические матрицы (ПЛМ)

ПЛМ появились к восьмидесятым годам. Основой служат последовательность программируемых матриц элементов «И» и «ИЛИ», а также блоки входных и выходных буферных каскадов (БВх и БВых).

*Структура ПЛМ:*



Основные параметры ПЛМ:

- Число входов  $\mathbf{m}$ ;
- Число термов  $\mathbf{l}$ ;
- Число выходов  $\mathbf{n}$ ;
- матрица И – конъюнкторы;
- матрица ИЛИ – дизъюнкторы.

Число формируемых термов равно числу конъюнкторов (И). Число дизъюнкторов (ИЛИ) равно числу вырабатываемых функций  $n$ .

ПЛМ реализует дизъюнктивную нормальную форму (ДНФ) воспроизводимых функций (двухуровневую логику).

Какие именно термы будут выработаны и какие комбинации этих термов составят выходные функции, определяется программированием ПЛМ.

### Схемотехника ПЛМ

Выпускаются ПЛМ как на основе биполярной технологии, так и на МОП-транзисторах. В матрицах имеются системы горизонтальных и вертикальных связей, в узлах пересечения которых при программировании создаются или ликвидируются узлы связи.

Рассмотрим схемотехнику биполярной ПЛМ К556РТ1 с программированием пережиганием перемычек.

Пусть надо воспроизвести систему функций

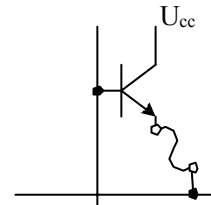
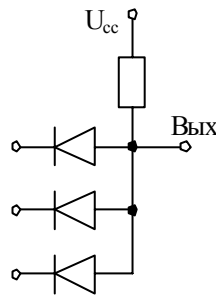
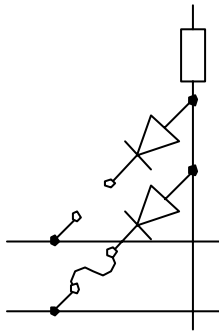
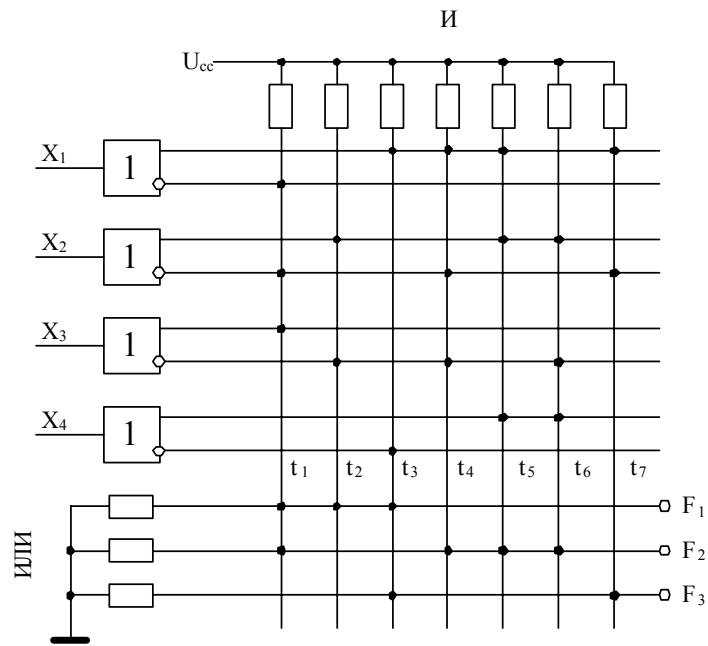
$$F_1 = \bar{x}_1 \bar{x}_2 x_3 \vee x_2 \bar{x}_3 \vee x_1 x_4 = t_1 \vee t_2 \vee t_3;$$

$$F_2 = \bar{x}_1 \bar{x}_2 x_3 \vee x_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_2 x_4 \vee x_2 \bar{x}_3 x_4 = t_1 \vee t_4 \vee t_5 \vee t_6;$$

$$F_3 = x_1 \bar{x}_4 \vee x_1 \bar{x}_2 = t_3 \vee t_7$$

Размерность 4 (число входов), 7 (число термов), 3 (число выходов).

Параметры микросхемы К556РТ1: 16, 48, 8. Схемы «И» представляют собой диодные схемы. До программирования все перемычки целы и диодные связи расположены во всех узлах. При программировании оставляются только необходимые перемычки, а ненужные пережигаются.

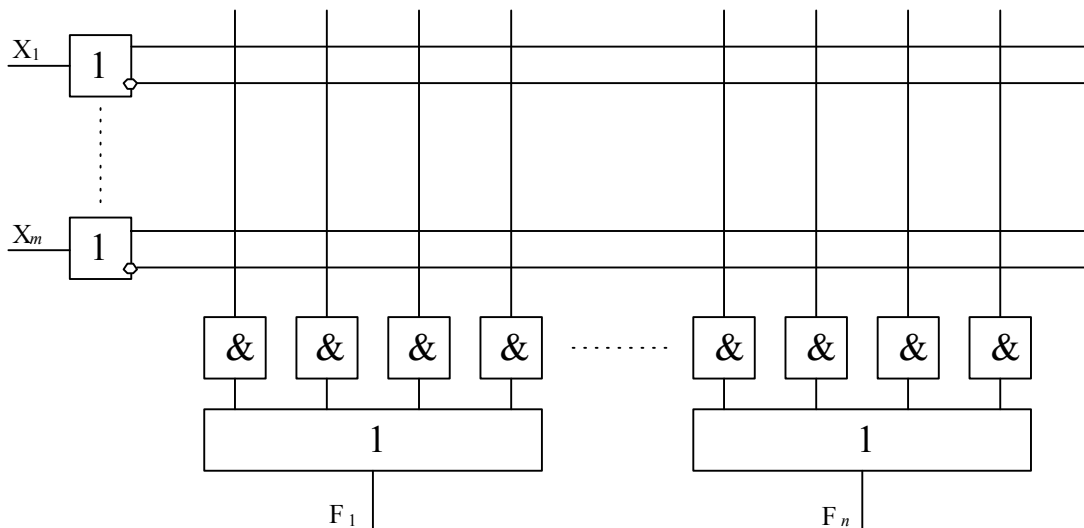


Реализуемые функции можно усложнять, вводя например один из выходов на вход. Тогда можно реализовать более сложную, скобочную форму функции.

$$F = x_1 x_2 \vee (x_1 x_2 \vee \bar{x}_2 \bar{x}_1) x_3$$

Программируемая матричная логика (ПМЛ)

Отказ от возможности использования выходов любых конъюнкторов любыми дизъюнкторами приводит к структуре ПЛМ (PAL, GAL).



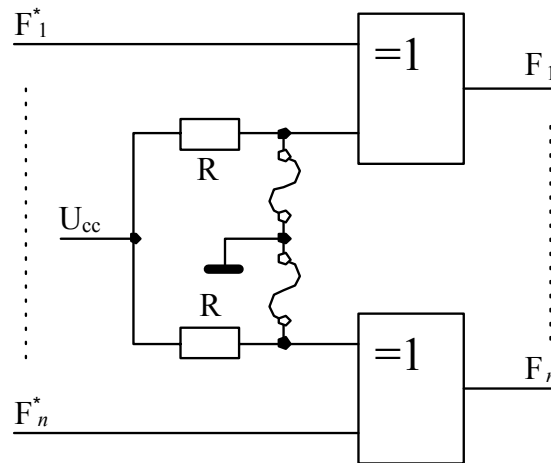
Здесь выходы элементов матрицы «И» жестко распределены между элементами матрицы «ИЛИ».

В схеме ПМЛ  $m$  входов,  $n$  выходов и  $4n$  элементов «И», так как каждому элементу «ИЛИ» придается по 4 конъюнктора. В сравнении с ПЛМ эти ПЛИС имеют меньшую функциональную гибкость, но их изготовление и использование проще. Преимущества проявляются при проектировании несложных устройств.

Рассмотренные структуры ПЛМ и ПМЛ – базовые, с которых начиналось развитие этого направления. В дальнейшем происходит обогащение функциональных возможностей с помощью ряда приемов.

### Схемы с программируемым выходным буфером

Обеспечивается возможность получения выходной функции в прямом или инверсном виде.



Программируемый буфер дает дополнительные возможности для минимизации числа термов.

Пусть:

$$F_1 = \bar{x}_3 \bar{x}_2 \bar{x}_0 \vee \bar{x}_3 x_2 x_0 \vee x_3 \bar{x}_1 x_0 \vee x_3 x_1 \bar{x}_0 = t_1 \vee t_2 \vee t_3 \vee t_4;$$

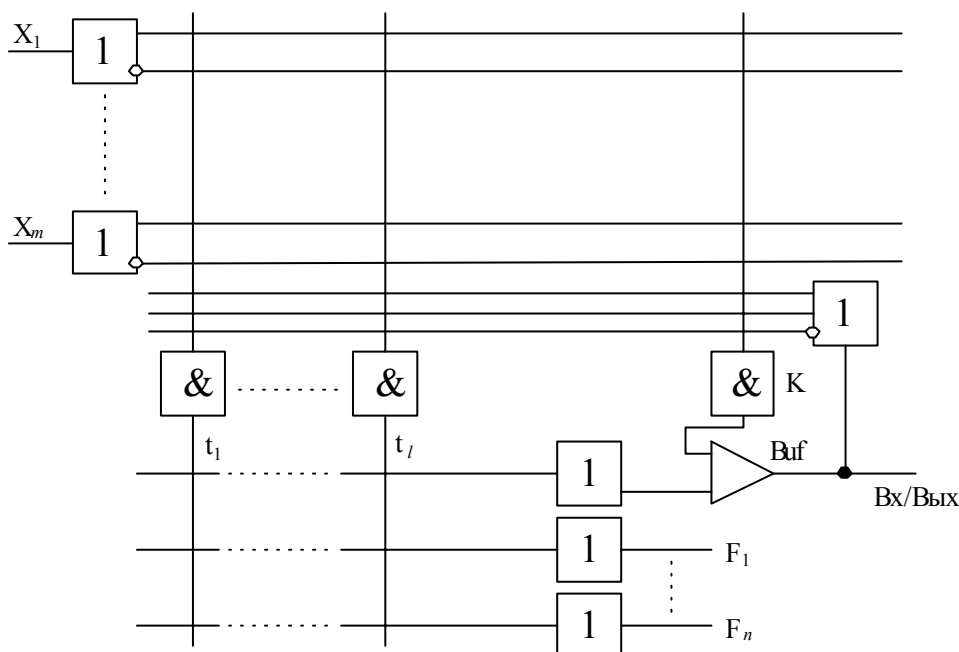
$$F_2 = \bar{x}_3 \bar{x}_2 x_0 \vee \bar{x}_3 x_2 \bar{x}_1 \vee x_3 \bar{x}_1 \bar{x}_0 \vee x_3 x_1 x_0 = t_5 \vee t_6 \vee t_7 \vee t_8;$$

$$\bar{F}_2 = \bar{x}_3 \bar{x}_2 \bar{x}_0 \vee \bar{x}_3 x_2 x_1 \vee x_3 \bar{x}_1 x_0 \vee x_3 x_1 \bar{x}_0 = t_1 \vee t_5 \vee t_3 \vee t_4;$$

Здесь всего пять термов вместо восьми. Возврат от функции  $\bar{F}_2$  к функции  $F_2$  осуществляется пережиганием перемычки в линии выхода  $F_2$ .

### Схема с двунаправленными выходами

Используя элемент с тремя состояниями выхода, можно строить схему, в которой некоторые выходы можно использовать в качестве выходов или входов, в зависимости от программирования перемычек.



Конъюнктор К предназначен для управления элементами Buf с тремя состояниями. Выход элемента Buf связан с матрицей «И» как вход.

Возможны 4 режима вывода Vx/Vyx в зависимости от того, как запрограммированы входы конъюнктора К:

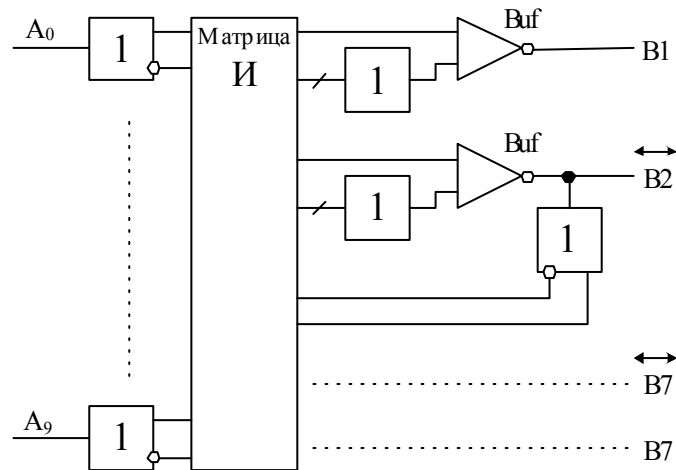
1. Все перемычки нетронуты (замкнуты). В этом режиме на выходе К будет всегда 0, буфер имеет третье состояние выхода и вывод функционирует как вход;
2. Все перемычки пережжены, не выше К – «1», буфер активен и вывод работает как выход (его сигналы не используются в матрице «И»).
3. Выход с обратной связью. Как и 2, но сигналы вывода используются в матрице «И».
4. Управляемый выход. Здесь входы К программируются. При некоторой комбинации входных сигналов конъюнктор приобретает единый выход и вывод срабатывает как выход.

В схеме с некоторым числом двунаправленных выводов можно изменять соотношение числа выходов-входов.

### Схемы с памятью

Эти схемы, кроме комбинационной части, содержат триггеры (обычно D типа). Такие схемы имеют четвертый параметр r – число элементов памяти. Первая отечественная ПМЛ появилась в серии КР1556 (ХЛ8, а затем ХП4, ХП6, ХП8). Микросхема ХЛ8 – с двунаправленными выводами.

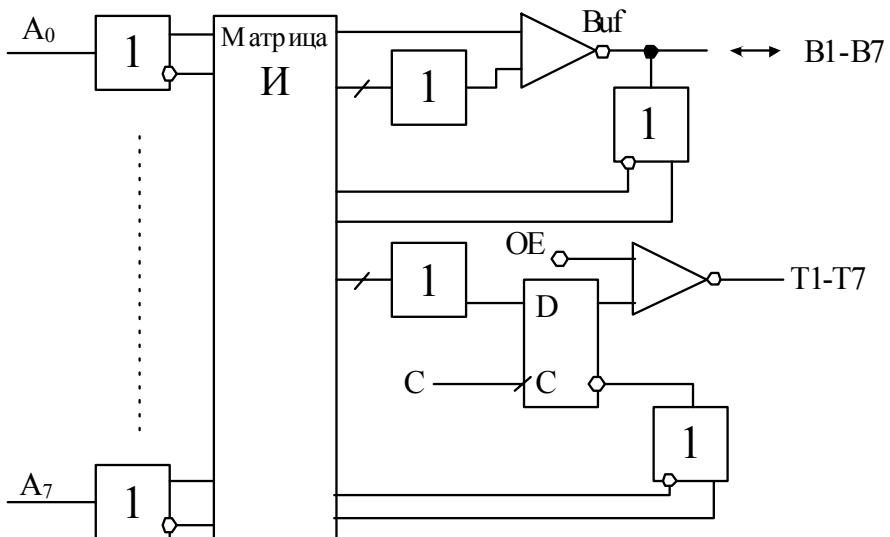
## Структура ПМЛ КР1556 ХЛ8



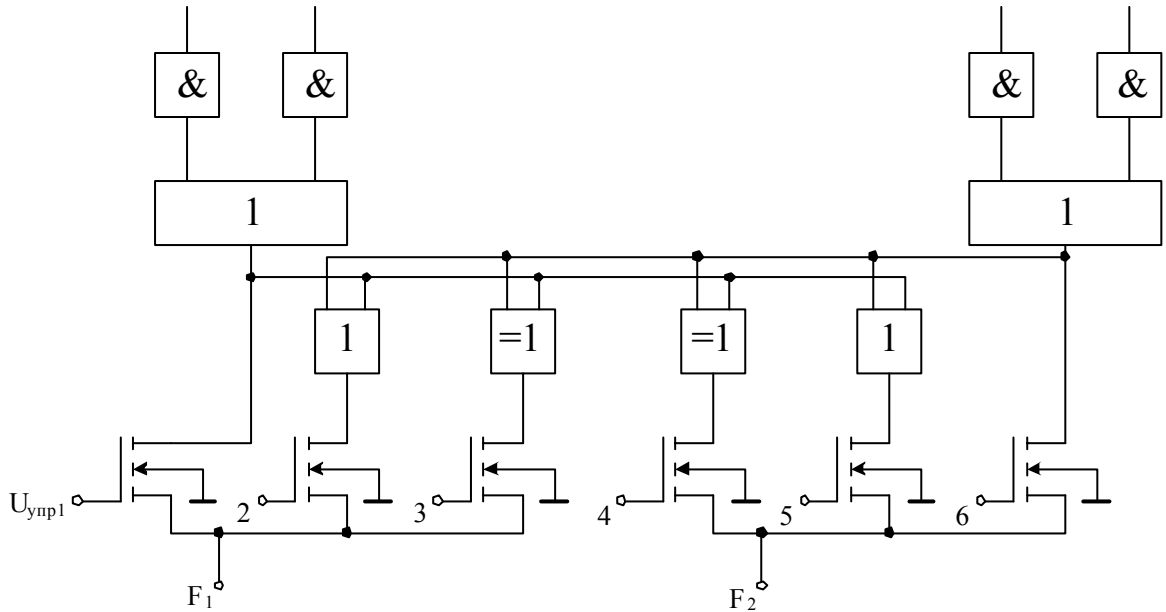
Матрица «И» содержит 2048 узла (64x32).  
Число входов может изменяться от 10 до 16.  
Число выходов – от 2 до 8.

## Микросхемы типа КР1556 ХП4 (6, 8)

Имеют элементы памяти – триггеры D типа, число которых совпадает с цифрой в обозначении микросхемы (4, 6 или 8).

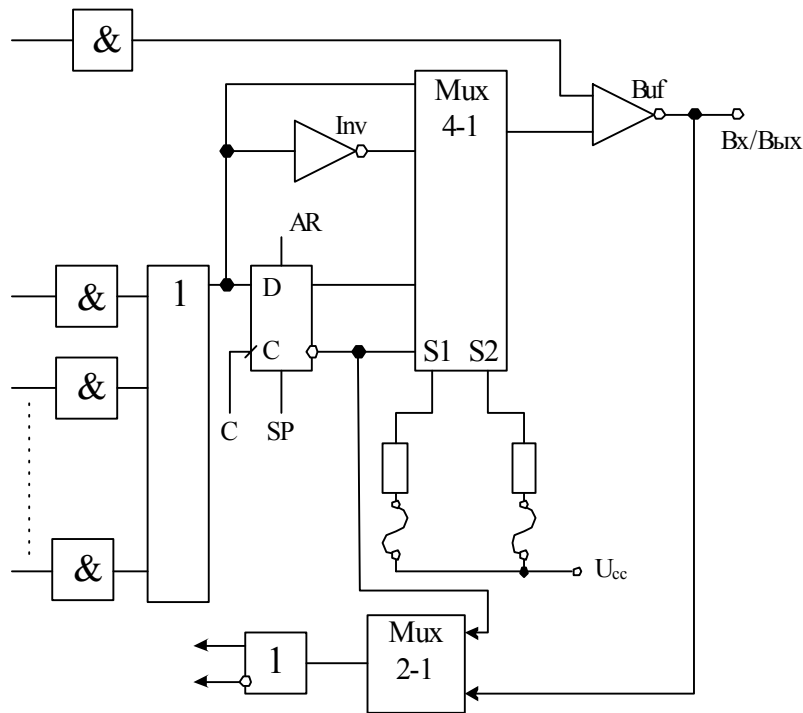


ПМЛ с разделяемыми конъюнкторами



В зарубежной схемотехнике ПМЛ получили широкое распространение. Примером может служить микросхема PAL22V10 (V – Versatile - гибкий). Число 10 – 10 выходов. Выходные величины вырабатываются не просто дизъюнкторами, а более сложными схемами, называемыми макроячейками (МЯ).

Схема МЯ



AR – асинхронный сброс (R) } вырабатываются специальными  
 SP – синхронные установки (S) } термами матрицы «И»



## БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ (БМК)

Их функционирование приспособляется к требованиям заказчика на заключительных этапах производства БМК, а полуфабрикаты производятся в массовом количестве без ориентации на конкретного заказчика. Это обходится значительно дешевле и требует меньше времени на проектирование. Такие БИС называют полузаказными.

Развитие полузаказных БИС привело к появлению их разновидностей: каналные, бесканальные и блочные архитектуры.

### Канальные БМК

Это БМК первого поколения. Представляют совокупность регулярно расположенных на кристалле базовых ячеек, между которыми имеются свободные для создания соединений каналы.

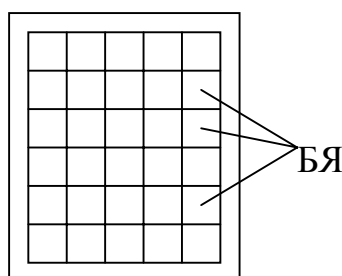


Такие БМК имеют низкую плотность упаковки, т.к. площадь тратится на межсоединения. Канальная структура характерна для биполярных БМК из-за значительной мощности рассеивания.

### Бесканальные БМК.

Эти БМК повышают уровень интеграции. Не имеют фиксированных каналов. Любая область может быть использована как для создания логической схемы, так и для создания межсоединений. Характерны для КМОП-схемотехники.

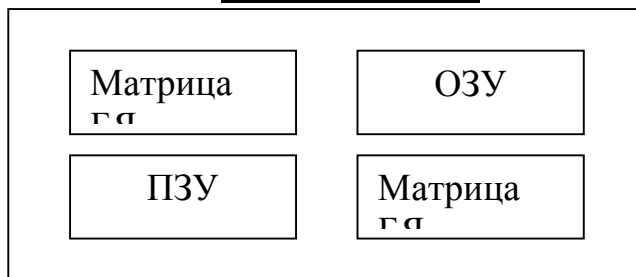
Бесканальные БМК реализуются в вариантах “море вентиляй”, и “море транзисторов”. Первый содержит массив законченных логических элементов, второй – массив транзисторов.



Важной характеристикой БМК является число слоёв межсоединений (2–6). В случае двухслойной трассировки на нижнем уровне соединяются элементы внутри БЯ и связи по вертикальным каналам. Второй слой даёт разводку горизонтальных трасс и линий питания, земли, синхронизации.

В 4-х слойном кристалле: 1-й слой – связи внутри БЯ; 2-й – вертикальные трассы; 3-й – горизонтальные трассы; 4-й слой – обслуживающие соединения.

### Блочные БМК.

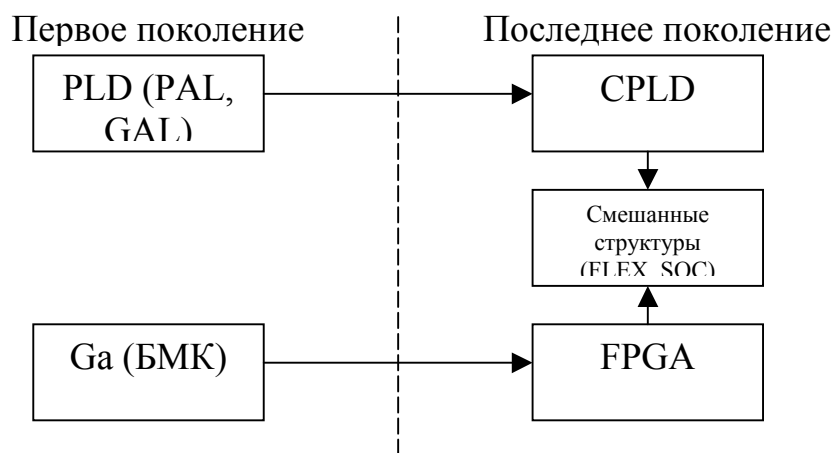


Элементная база БМК: КМОП, ТТЛШ, ЭСЛ, AsGa.

На уровне мировой техники изготавливаются БМК с миллионами эквивалентных вентилях с задержками 0,1...0,2 нс.

### ПЛИС типов FPGA, CPLD, FLEX, SOC

Рассмотренные типы ПЛМ, ПМЛ и БМК положили начало дальнейшему развитию ПЛИС. Продолжением линии ПМЛ стали БИС CPLD, а линии БМК – FPGA.



В разработке ПЛИС участвуют десятки фирм: Xilinx, Altera, Actel, Atmel, AMD(Vantis), Lattice (все США) и др.

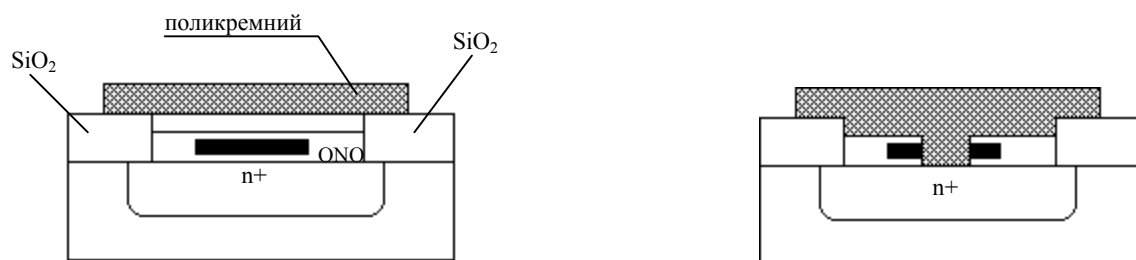
Сфера применения ПЛИС чрезвычайно широка. На них могут строиться не только крупные блоки систем, но и системы в целом, включая память и процессоры. Особенно важны такие применения ПЛИС: создание малотиражных изделий; отработка протоколов систем при проектировании.

### Классификация по типу программируемых элементов.

Число программируемых точек связи зависит от сложности ПЛИС и может достигать до нескольких миллионов. Виды программируемых ключей:

1. перемычки типа Antifuse. Являются однократными. Перемычка образована трёхслойным диэлектриком: Oxid-Nitrid-Oxid (ONO).

Программируемый импульс напряжения пробивает перемычку и создаёт проводящий канал.



Величина тока при пробое позволяет управлять параметрами перемычки. При токе 5 мА  $R_{пер}=600$  Ом, при 15 мА – 100 Ом.

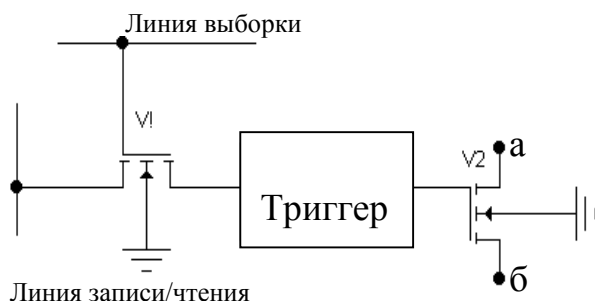
$$C_{пар.пер.}=10 \text{ фФ.}$$

В непроводящем состоянии  $I_{пер.}=1$  фА.

Параметры перемычки сохраняются около 40 лет.

2. ЛИЗМОП-транзисторы (элементы памяти EPROM, E<sup>2</sup>PRAM). Выделился вариант EPROM-OTP. Если в обычных EPROM стирание данных производится облучением кристалла УФ через прозрачное окошко в корпусе, то в схемах OTP дорогой корпус с окнами заменён на дешёвый без окошка, т.е. возможность стирания исключается.

3. Ключевые транзисторы, управляемые триггерами памяти конфигурации (теневым ЗУ)



ключевой транзистор V2, управляемый триггером памяти конфигурации.

При программировании на линию выборки подаётся высокий потенциал и транзистор V1 включается (открыт). С линии записи/чтения подаётся сигнал, устанавливающий триггер в состояние "1" или "0". В рабочем режиме V1 заперт, триггер сохраняет неизменное состояние.

Схемы с триггерной памятью конфигурации (SRAM-based) впервые разработаны фирмой Xilinx. Загрузка соответствующих данных в память конфигурации программирует ПЛИС. Процесс оперативного программирования может производиться неограниченное число раз. Триггерная память разрушается при выключении питания. При включении питания необходим процесс программирования (инициализации, конфигурирования) системы - загрузка конфигурации из энергонезависимой памяти. Время конфигурации – десятки и даже сотни миллисекунд.

Триггеры памяти конфигурации распределены по всему кристаллу СБИС попеременно с элементами схемы, которые они конфигурируют. Ключевой транзистор V2 называют программируемой точкой связи (ПТС). В английской терминологии Programmable Interconnection Point (PIP).

В силу достоинств ПЛИС с триггерной конфигурацией занимает важнейшее место в FPGA и CPLD.

### **Программируемые пользователем вентиляльные матрицы (FPGA).**

Область применения: реализация алгоритмов ЦОС (цифровой обработки сигналов), основными операциями в которых являются: перемножение, умножение на константу, суммирование, задержки сигналов. Комбинационная часть таких ПЛИС ограничена.

Наиболее известны FPGA семейств: XC2000, XC3000, XC4000, XC5000, Spartan, Virtex фирмы Xilinx; АСТ1, АСТ3, 1200XL, 3200DX фирмы Actel с перемычками Antifuse. Их используют в космической аппаратуре США. Flex6000, Flex8000, Flex10K фирмы Altera.

Устройство FPGA – сходно с БМК.

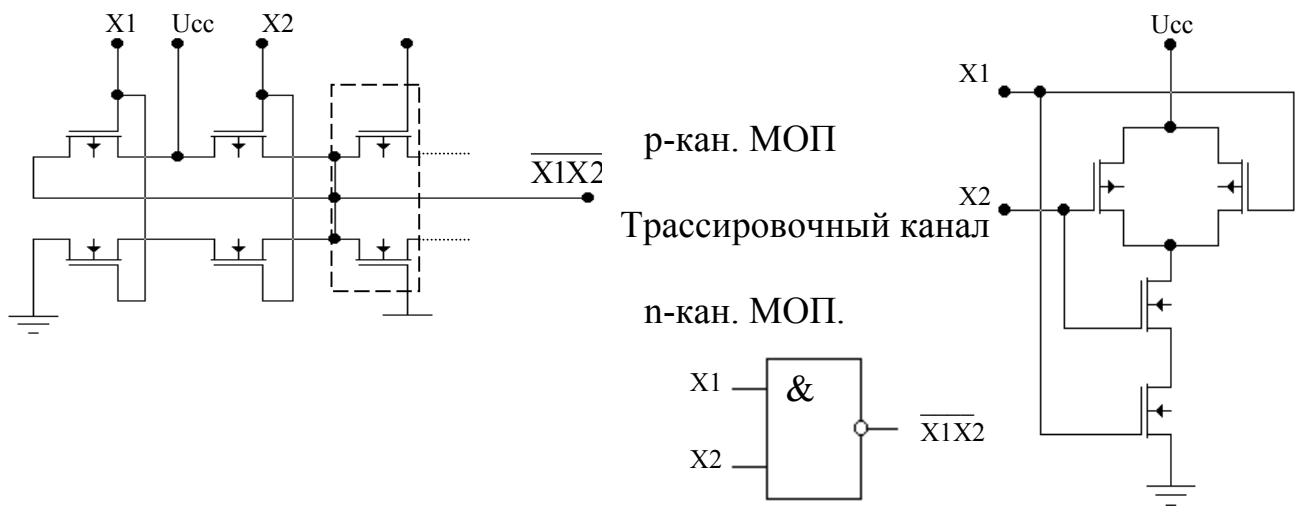
Внутри размещается множество регулярно расположенных идентичных конфигурируемых логических блоков (КЛБ), между которыми проходят трассировочные каналы, а на периферии кристалла расположены блоки ввода/вывода (БВВ или ИОВ – Input/Output Block).

В качестве КЛБ используют различные структуры:

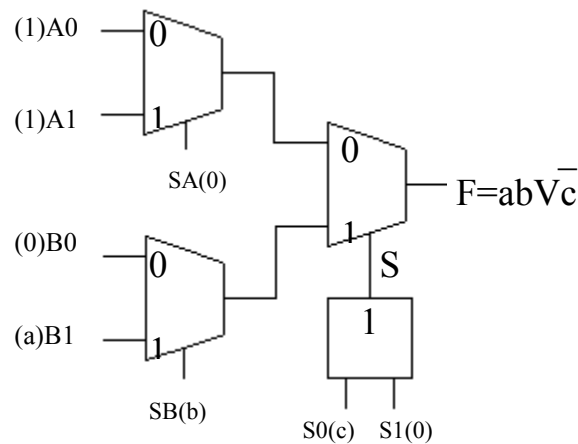
1. Транзисторные пары, элементы И-НЕ, ИЛИ-НЕ и т.п.
2. Логические модули на основе мультиплексоров.
3. Логические модули на основе программируемых ПЗУ (блоки табличного типа. Набор аргументов является адресом той ячейки, в которой хранятся значения функции). LUTs – Look-Up Tables.

Важной характеристикой ЛБ является их зернистость – т.е. насколько «мелкими» будут те части из которых можно собрать нужные схемы.

Пример наиболее мелкозернистой структуры:



Более крупнозернистый ЛБ используется в семействе АСТ фирмы Actel, который состоит из мультиплексоров:

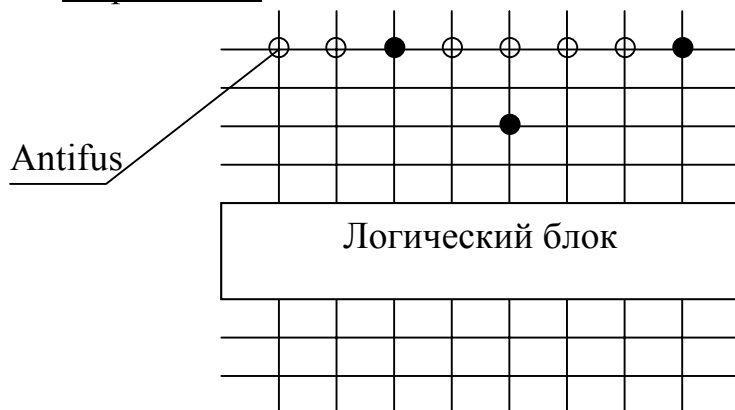


Крупнозернистый блок XC4000E имеет 3 табличных преобразователя, ряд программируемых мультиплексоров и 2 D-триггера.

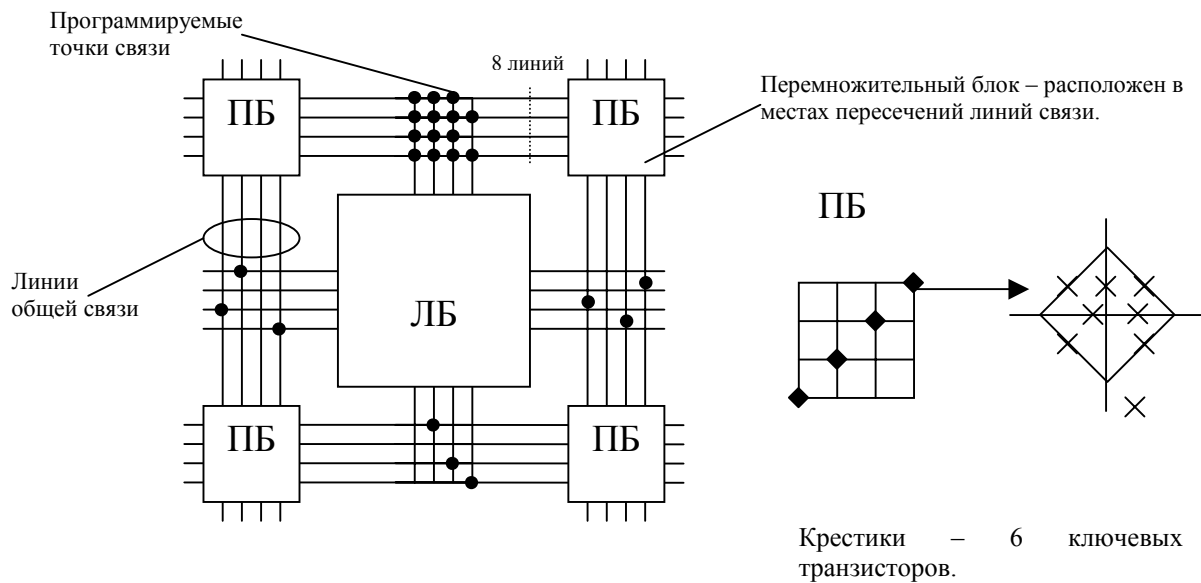
В FPGA с триггерной памятью конфигурации применяют крупнозернистые блоки. В них реализуются более сложные функции, что ведёт к упрощению программируемой части межсоединений.

Система межсоединений – разная у разных фирм.

Фирма Actel:



## Семейство XC400E:



## Микросхемы FPGA типа FPIC.

Содержат программируемые соединения и блоки ввода/вывода. Логические блоки – отсутствуют. Нужны при отработке прототипов. Соединения через FPIC легко изменять, что не обеспечивают ПП.

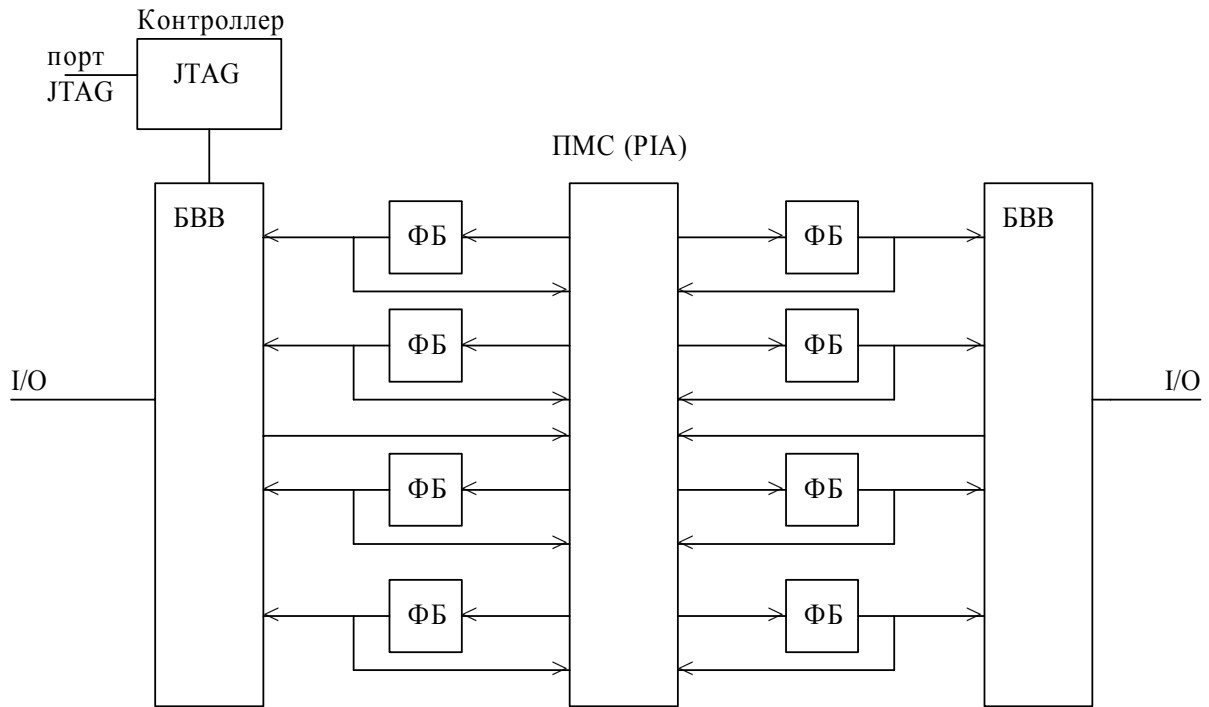
### Сложные программируемые логические схемы (CPLD)

CPLD состоят из центральной программируемой матрицы соединений (ПМС) (Programmable Interconnect Array, PIA), блоков ввода/вывода на периферии кристалла, функциональных блоков ФБ (макроячейки, макроэлементы), которые представляют собой структуру типа ПМЛ.

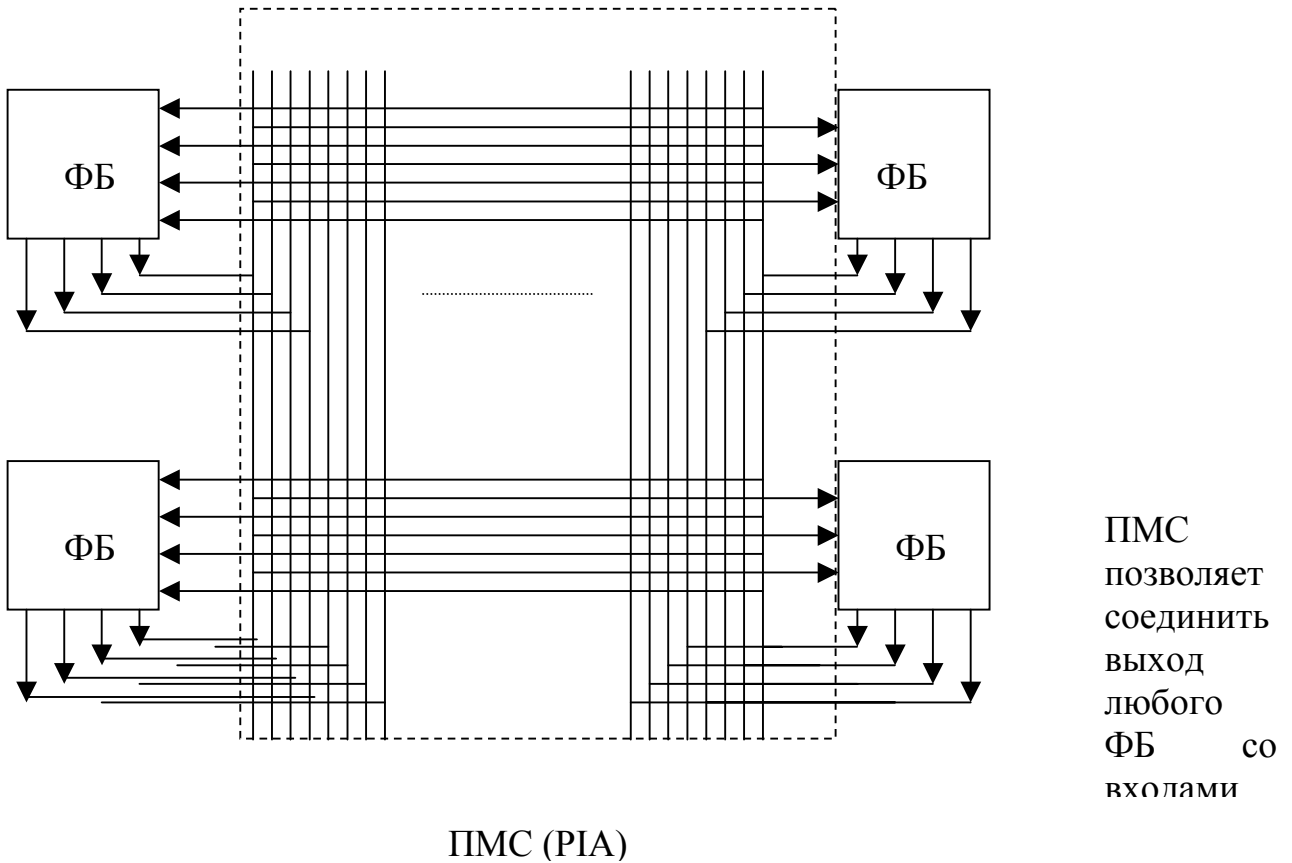
К этому классу относятся семейства: MAX3000, MAX5000, MAX7000, MAX9000 фирмы Altera; схемы XC7000, XC9500 фирмы Xilinx, и др. фирмы.

Область применения: создание управляющих и интерфейсных схем.

## Архитектура CPLD.

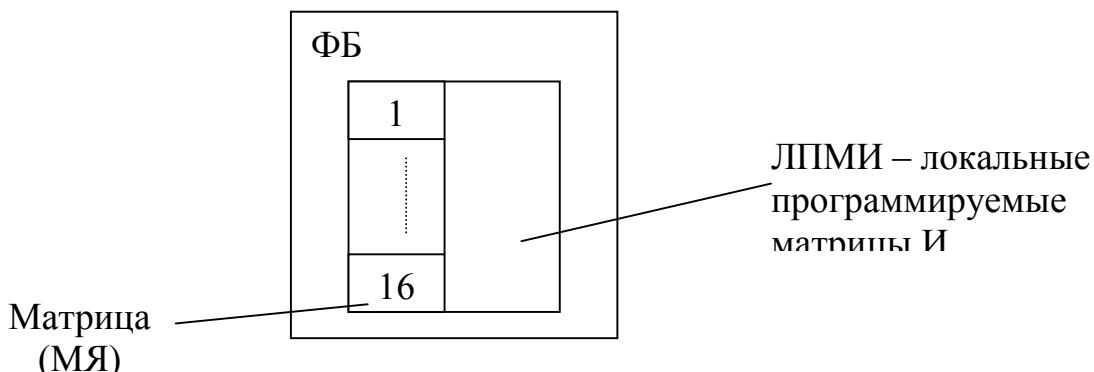


## Схема коммутации функциональных блоков(ФБ).



### Функциональный блок(ФБ) (PAL,GAL).

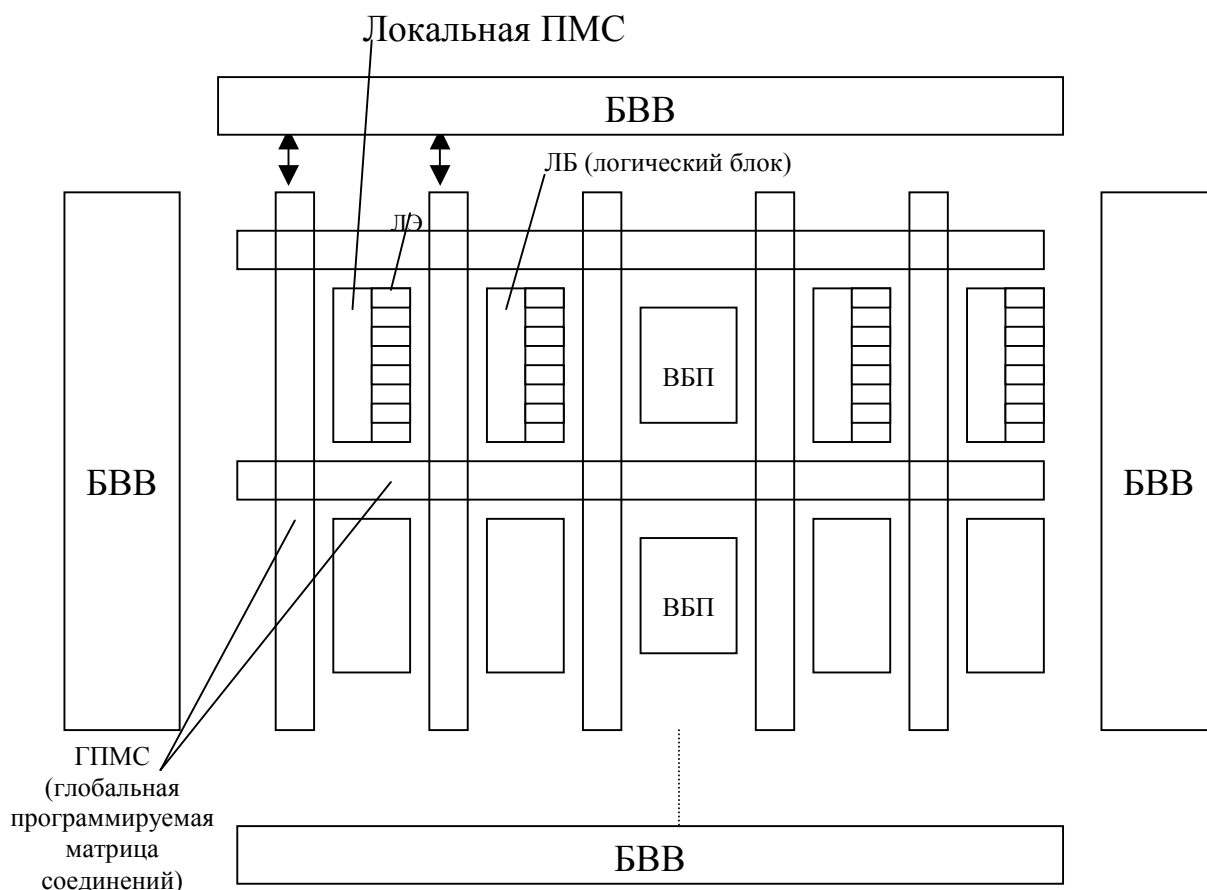
Развитие архитектуры ПЛИС идет по пути создания комбинированных структур, сочетающих достоинства FPGA и CPLD.



МЯ получает термин от ЛПМИ

### Семейство FLEX10K (фирмы ALTERA).

Является самой популярной элементной базой для реализации алгоритмов ЦОС, построения сложных схем обработки данных и интерфейсов.



ВБП – встроенный блок памяти (ЕАВ). Это ОЗУ ёмкостью 4096 бит.



Наличие ВБП даёт возможность табличной реализации таких элементов, как перемножители, АЛУ, сумматоры и т.п. с быстродействием до 100 МГц.

ЛЭ имеют организацию табличного типа (LUT).

FLEX10K имеет два уровня иерархии. На нижнем уровне находятся ЛЭ, на верхнем ЛБ.

### **Семейство APEX20K (Altera).**

(имеют типовую память в виде триггеров конфигурации)

Уменьшение технологических норм, усложнение ПЛИС привели к тому, что на таких кристаллах можно разместить целую систему (процессорную часть, память, интерфейсные схемы и др.). Отсюда название System-on-chip (SOC) – система на кристалле. Микросхемы такого типа появились в 1998–1999 гг. Содержат  $10^6$  эквивалентных вентиляей.

Архитектура APEX20K фирмы Altera сочетает в себе как достоинства FPGA с их таблицами перекодировки (LUT), так и логику вычислений, характерную для ПЛИС CPLD, а также встроенные модули памяти.

