

Микросхемы ТТЛ

Основные серии ТТЛ :

133,155,К155,КМ155-«стандартные»

133,К131,599-«с высоким быстродействием»

134,158-«маломощные»

530,К531,1531,1533-«быстродействующие с диодами Шоттки»

К555,533-«маломощные с диодами Шоттки»

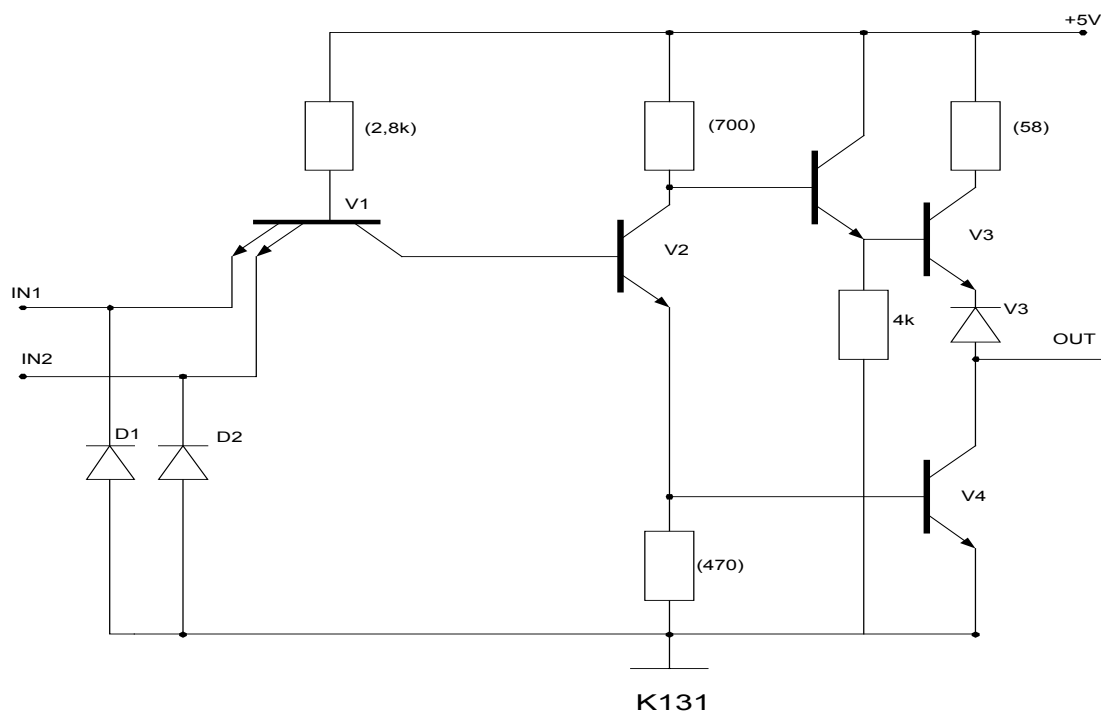


Рис.4.1.

Дифференциальные схемы ТТЛ активно развивались до 1970 г.

Номиналы в скобках относятся к серии К133.

[Аналог-74Н. Н(high)-высокое быстродействие и потребляемая мощность].

$I_n=4..5\text{мА}$, $T_{з.р.}=6\text{нс}$. $A=150\text{пДж}$. - чрезмерно большая и эта серия больше не развивается.

Схема логического элемента серии К155 (аналог-серия 74):

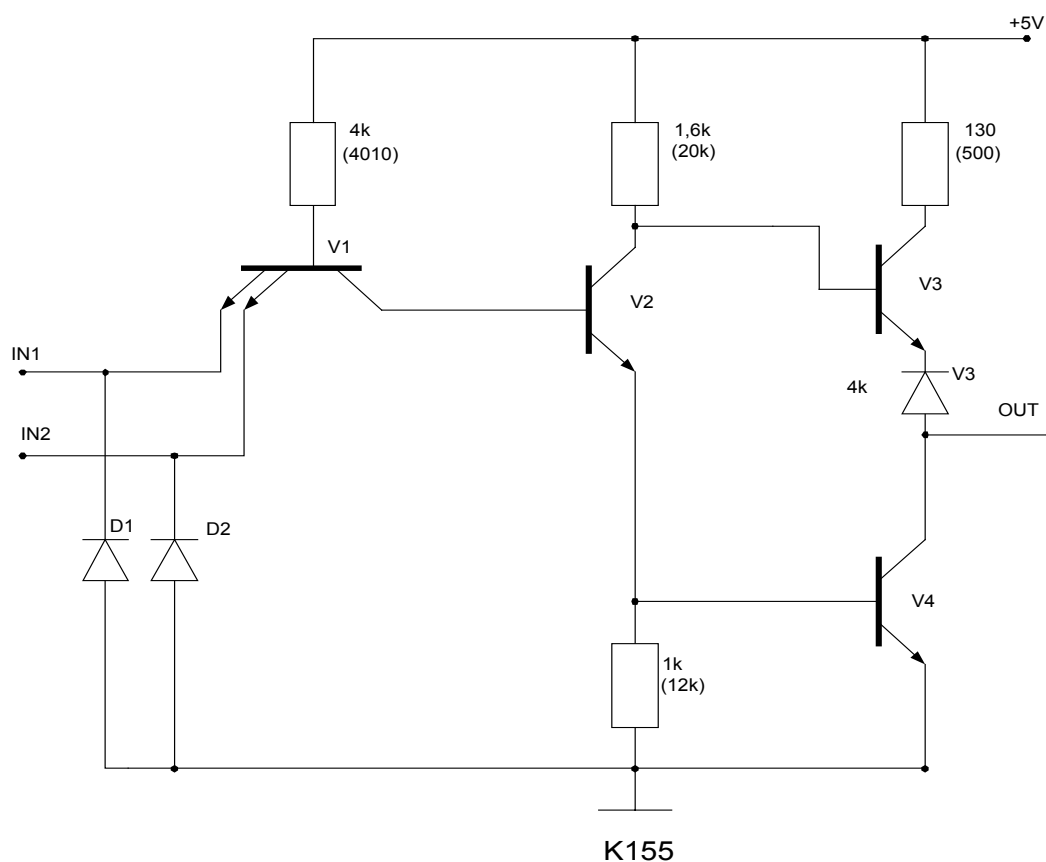


Рис.4.2.

Это схема СТТЛ – стандартная ТТЛ

Они имеют $T_{з.р.}=13\text{нс}$, $I_n=1,5..2\text{мА}$, $A=100\text{пДж}$.

Эти микросхемы имеют большую номенклатуру и серия развивается.

Микро мощный логический элемент (ММ ТТЛ)-серия К134 и ее зарубежный аналог 74L (low-малые быстродействие и рассеиваемая мощность).

$T_{з.р.}=33\text{нс}$, $P=1\text{мВт}$, $A=33\text{пДж}$. (Номиналы резисторов в круглых скобках).

В 70-х годах микросхемы ТТЛ стали активно заменяться микросхемами ТТЛШ. Диод Шоттки исключает насыщенный режим транзисторов и увеличивает таким образом быстродействие.

В начале 80-х годов выпущены основные серии ТТЛШ;
Серия К531 (зарубежный аналог-74S. S-Schottky).

Серии КМОП:

164,564,1564-10В+_10%

К176-9В+_5%(работает от 5 до 12В)

К561,КР1561-5..10В(работает от 3 до 15В)

764,765-б/к

Тз=100..200нс

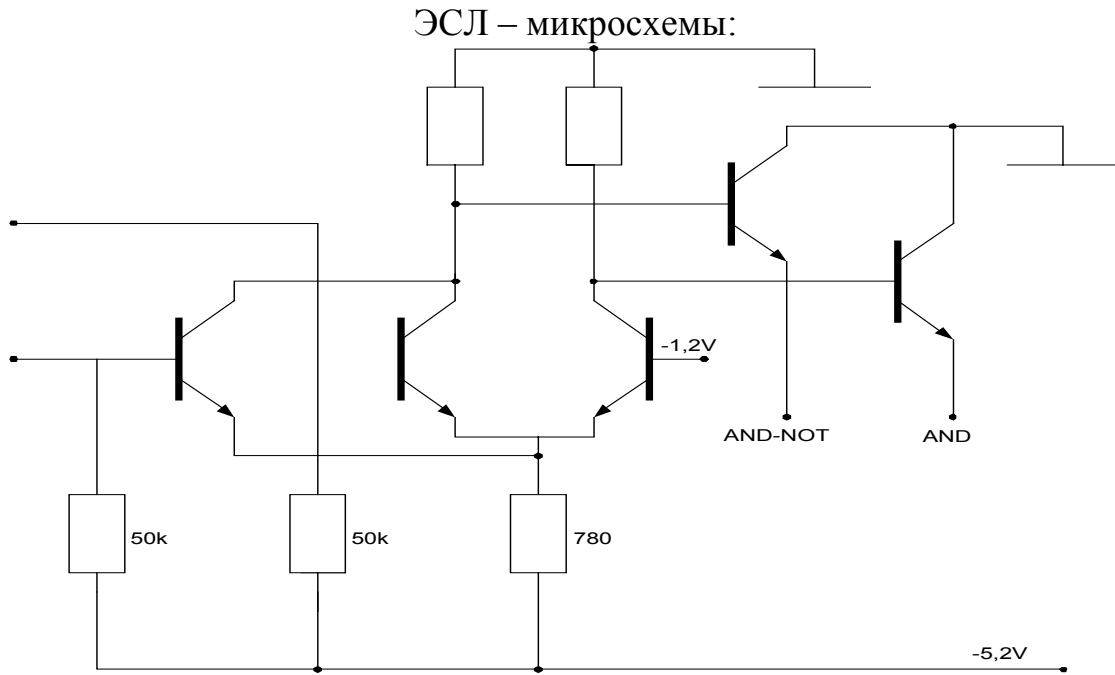
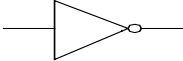




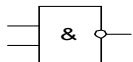




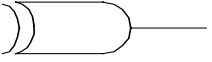
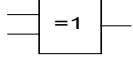
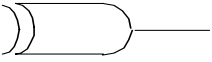
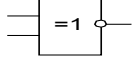
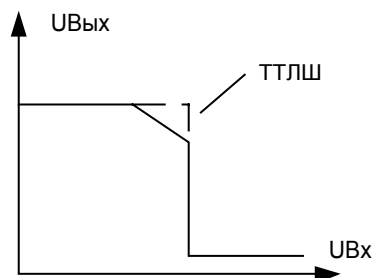


Рис.4.4.

Обозначение отечественных и импортных схем логики.

тип вентиля	импортное обозначение	отечественное обозначение
Инвертор INV		
"И" AND		
"И-НЕ" NAND		
"ИЛИ" OR		
"ИЛИ-НЕ" NOR		
Исключающий "ИЛИ" XOR		
Исключающий "ИЛИ-НЕ" NXOR		

Для предыдущих схем вид передаточной характеристики микросхемы имеет вид:



Для ТТЛШ показано пунктиром. $P_p = 19 \text{ мВт}$, $T_{з.р.} = 3 \text{ нс}$, $A = 59 \text{ пДж}$.

Элементы серии К555 основаны на следующей схеме (зарубежный аналог -74LS. LS - Low Schottky - экономичная серия с диодами Шоттки.)

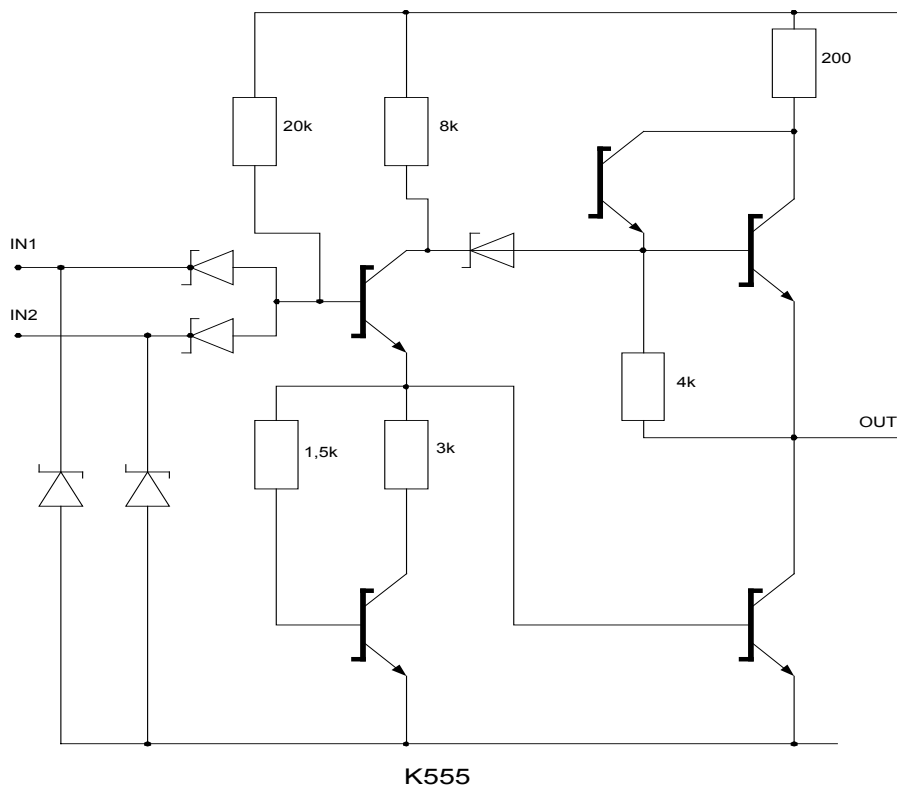


Рис.4.5.

Схема «И» на входе - диодная. $R_{п} = 2\text{мВТ}$, $T_{з.} = 10\text{нс}$, $A = 20\text{пДж}$.

Микросхемы серии K555 вытеснили из аппаратуры серию K134 и по мере наращивания номенклатуры эффективно заменяют серию K155.

ИИС серии K531 потребляют энергию в 2,3 раза меньшую, чем серия K131, из-за чего последняя стала неперспективной.

В 80-х годах с помощью ионного легирования и прецизионной фотолитографии удалось уменьшить площадь логического элемента в 8 раз.

Появились ИМС серии с диодами Шотки: K1533 (74ALS) и K1531 (74F) в этих схемах существенно уменьшена энергия потребления. Базовый элемент серии KP1533 имеет вид :

серия	Pп	Тз.р.	А	<u>Параметры ТТЛ.</u>						
				0	1	0	0	1	1	
	мВт	нс	пДж	Iвх	Iвх	Uвых	Iвых, мА	Uвых, В	Iвых, мА	
K134		1	33	33						
K155		10	9	90	-1,6	0,04	0,4	16	2,4	-0,4
K131		22	6	132						
K555		2	9,5	19	-0,36	0,02	0,5	8	2,7	-0,4
K531		19	3	57	-2	0,05	0,5	20	2,7	-1
K1533		1,2	4	4,8	-0,2	0,02	0,4	4	2,5	-0,4
K1531		4	3	12	-0,6	0,02	0,5	20	2,7	-1

Буферные и разрешающие элементы ТТЛ.

Логических функций не выполняют. Назначение - формировать цифровые сигналы, усиливать импульс по току, т.е. обслуживать энергетические нагрузки. Такими нагрузками являются чаще всего шины данных. Если в системе циркулируют восьмиразрядные байты, шина данных будет иметь восемь проводников. К шине данных подключается много источников и приемников цифровых сигналов. (Удобными для обслуживания шин данных оказание элемента с 3-мя выходными состояниями)

Микросхемы ТТЛ имеют по 6 буферных элементов

серия	инверт ор ("НЕ")	номер микросхем					
		1	2	3	4	5	6
K155	+	+	+		+		
K555	+	+				+	
КМ555 ЛН	+					+	
K531	+	+					
КР153							
3	+	+					
КР153							
1	+						

K155ЛН4 содержит буферные элементы без инверсии. Остальные микросхемы группы ЛН состоят из инверторов.

У микросхем с обозначением ЛН1 инвертор содержит типовой выходной каскад (сложный инвертор). Остальные имеют выходы с открытым коллектором.

Если $E0 = \langle 0 \rangle$ то на выходе D1 инвертора DD1 – $\langle 1 \rangle$, и диод VD1 закрыт и не влияет на работу схемы. Если $E0 = \langle 1 \rangle$, то на выходе $\langle 0 \rangle$ и потенциал коллектора $V2 \approx \langle 0 \rangle$ В этом случае при любом входном сигнале транзисторы V3 и V4 закрыты, и на выходе состояние Z. В состоянии Z выходное сопротивление схемы составляет сотни килоом.

Это микросхемы серии: 155ЛП10, ЛН6, ЛП8, ЛП11.

Буферные элементы.

Микросхемы К531АП3, К531АП4(АП5), (АП6), содержат 8 буферных элементов с разрешением по выходным. Эти элементы имеют гистерезисные входные пороги срабатывания. (пороги триггера Шмитта).

В микросхеме К531АП4 выходы разрешения управляются напряжениями противофазных уровней. Выходы четырех элементов перейдут в состояние Z, если на вход E0 подать напряжение высокого уровня, а выходы четырех других элементов разомкнутся, если подать низкий уровень. (Это удобно при организации шин данных).

В МП устройствах используют двунаправленные шинные усилители (ДНШУ). Если в каждый проводник шины данных установить такой усилитель, то по команде можно передавать данные по шине данных слева направо и наоборот.

ДНШУ

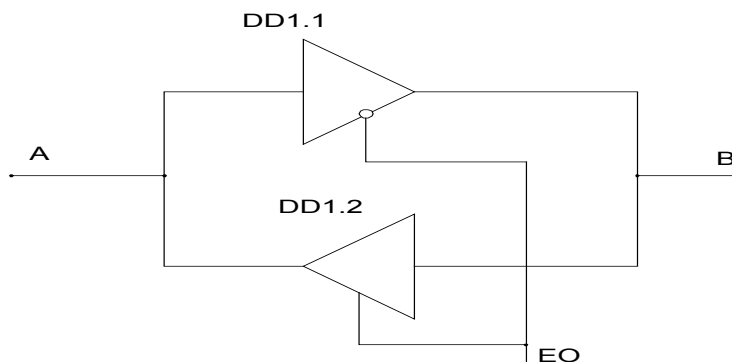


Рис.4.11.

DD1 имеет взаимно инверсные выходы разрешения. В соответствии с уровнем E0 проводит микросхема DD1.1 или DD1.2 (т.е. слева направо или наоборот).

Противофазные входы ИМС К531АП4 позволяют использовать её как четыре ДНШУ.

Микросхемы К555ИП6 содержит 4 ДНШУ с инверсией.

К155ИП7 содержит 4 ДНШУ без инверсии.

К555АП6 содержит 8 ДНШУ с 3 состояниями.

Микросхемы «И».

Серия	обозначение	Номер микросхемы					
		1	2	3	4	5	6
K155		+		+	+		
K555		+	+	+	+		+
KM555	ЛИ	+		+	+		
K531		+		+			
KP1531		+		+			
KP1533		+	+	+			+
74	-----	8	9	11	15	75451	21

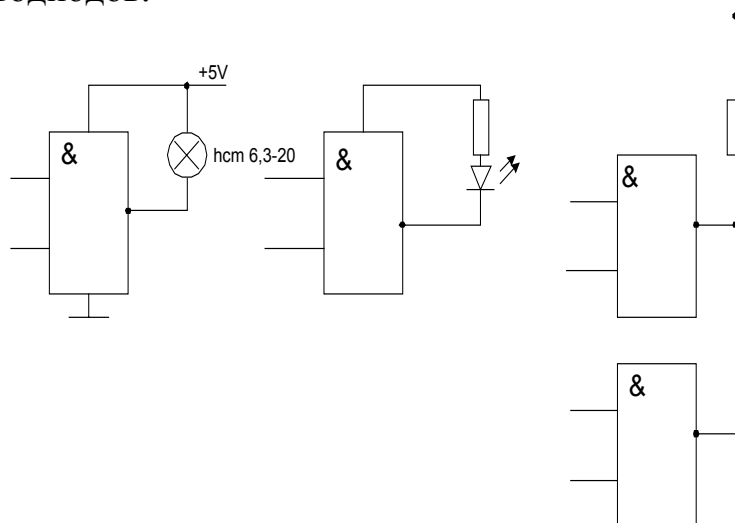
Микросхемы «И-НЕ».

Серия	Обозначение	Номер микросхемы															
		1	2	3	4	6	7	8	9	10	11	12	13	16	17	18	19
K155		+	+	+	+	+	+	+		+	+	+	+				+
KM155		+	+	+	+	+	+	+		+		+	+				
K555		+	+	+	+	+	+		+	+		+	+			+	
KM555	ЛА	+	+	+	+			+			+	+			+		
K531		+	+	+	+		+	+			+	+	+	+	+		+
KP1533		+	+	+	+		+	+	+	+				+			+
KP1531		+	+	+	+												

Микросхема K531ЛА16 может передавать данные в линию с сопротивлением 50 Ом.

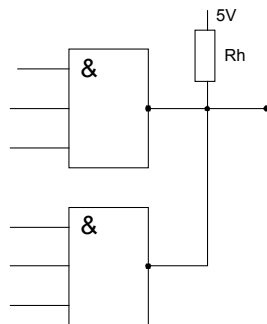
K531ЛА19 – 12входовой инвертор, имеет вывод для разрешения по выходу.

Применяют для обслуживания сегментов индикаторов, зажигание ламп накаливания, светодиодов.



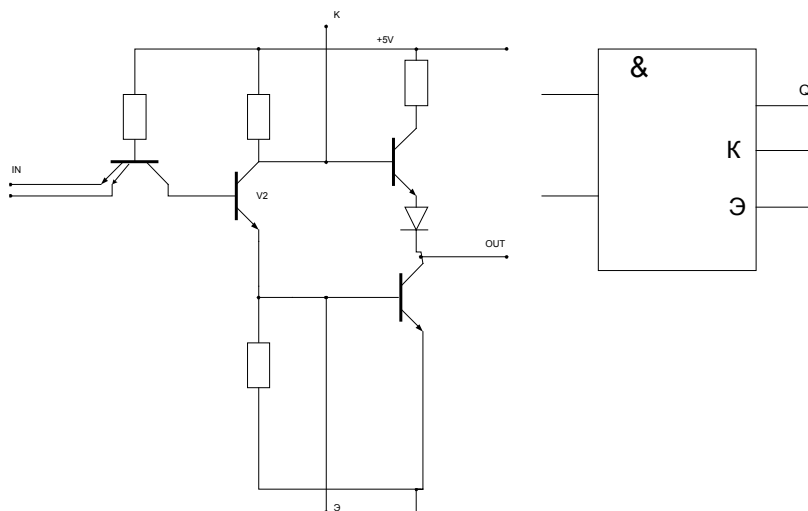
Для зажигания газоразрядных и электролюминесцентных индикаторов нагрузку подключают к более высокоомному питанию.

Выход ЛЭ с общим коллектором можно соединить в логическое «И»:

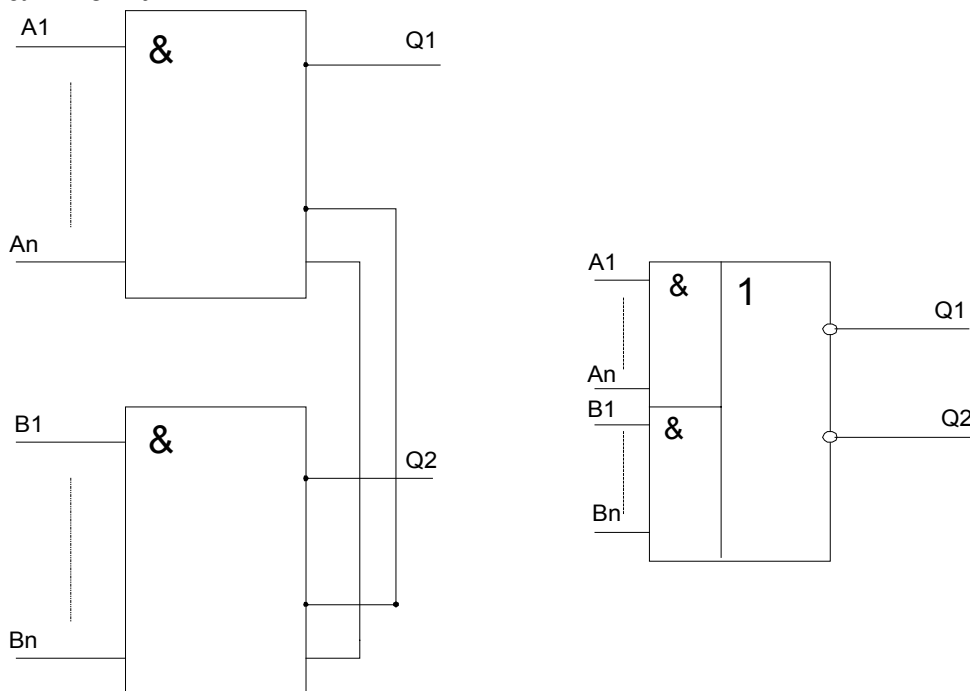


(расширитель по «И»).

Для расширения по ИЛИ делают выводы от коллектора и эмиттера транзистора V2.



Расширитель по ИЛИ



Номенклатура ИМС «ИЛИ-НЕ».

Обозначение Серия	Номер микросхем						
	1	2	3	4	5	6	7
K155	+	+	+	+	+		
KM155	+	+					
K555	+		+				
KM555 ЛЕ	+		+				
K531	+					+	
KP531	+		+				
KP153							
3	+						
KP153							
1	+			+			

Микросхемы ИЛИ, выполняют сложную функцию:

Номенклатура ИМС «И/ИЛИ-НЕ».

Обозначение Серия	Номер микросхем							
	1	3	4	6	9	10	11	13
K155	+	+						
KM155	+	+						
K555	+	+	+			+		+
KM555 ЛР		+				+		+
K531			+			+		
KP531			+	+		+		
KP153								
3		+						+
KP153								
1				+				
74		50	55		64	65	51	54

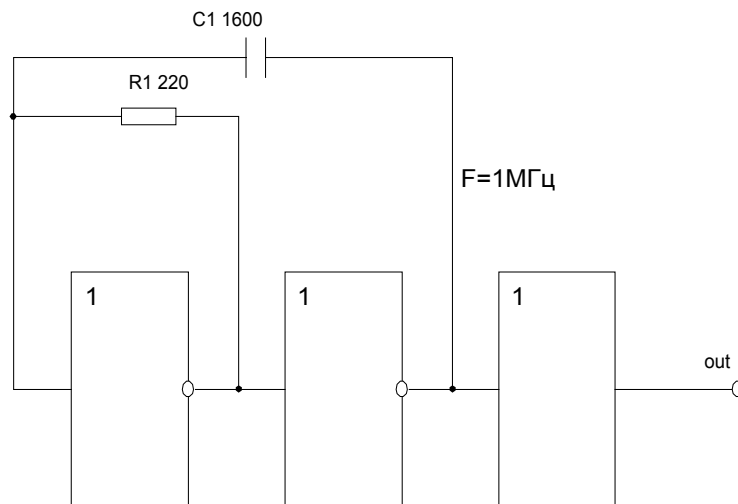
В ИМС K155ЛР1, ЛР3 и ЛР4 имеются выходы К и Э. ИМС K531ЛР10 имеет открытый выход (открытый коллектор).

Автогенераторы на элементах ТТЛ.

С помощью ЛЭ ТТЛ можно проектировать генераторы с частотой до 30 МГц и выше.

В основе генератора лежит неинвертированная линейка ЛЭ с большим коэффициентом усиления (желательно стабилизированным).

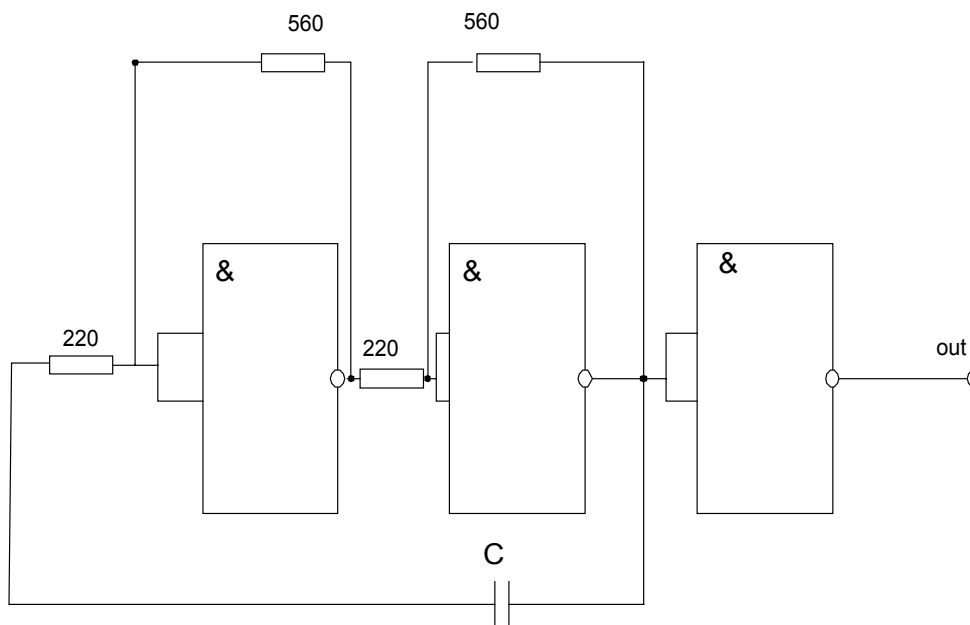
Простейшая схема генератора



Резистор R1 выводит 1-ый каскад на линейный участок. Частота генерации подсчитывается по формуле:

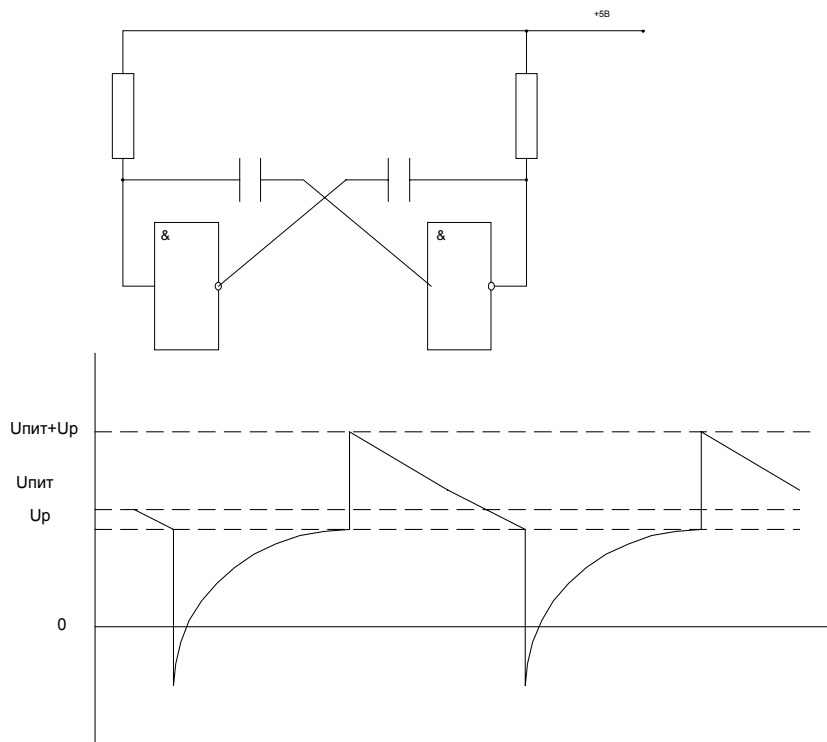
$$F=1/(3R*C);$$

Более стабильна схема:



Клэ \ll 20, при C = 1000пф, F = 5000кГц.

Удобно собирать симметричные мультивибраторы, которые выдают парафазные сигналы:



Нарисовать схему на триггере Шмитта!

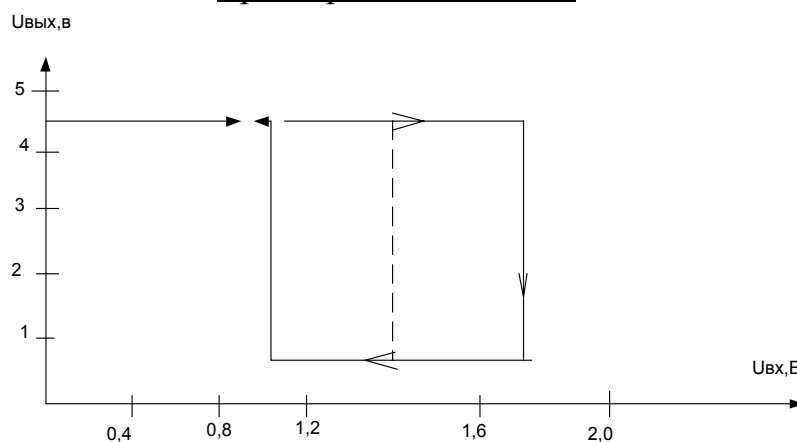
Логические элементы – триггеры Шмитта.

При входном импульсном сигнале с пологим фронтом и срезом на выходе ЛЭ импульс не будет прямоугольным, т.к. ЛЭ некоторое время будет находиться в усилительном режиме ($K_{u\text{TTL}}=20$). На фронте и срезе выходного импульса будут присутствовать усиленные помехи. Такой импульс не пригоден для переключения тактовых входов триггеров, регистров и счетчиков. В этих случаях применяют в качестве ЛЭ триггеры Шмитта (в триггере имеется положительная обратная связь).

Для ТТЛ $U_{\text{пор}}=1,3\text{ В}$.

Для триггера Шмитта $U_{\text{пор}1} = 0,9\text{ В}$, $U_{\text{пор}2} = 1,7\text{ В}$.

Триггер Шмитта ТТЛ:

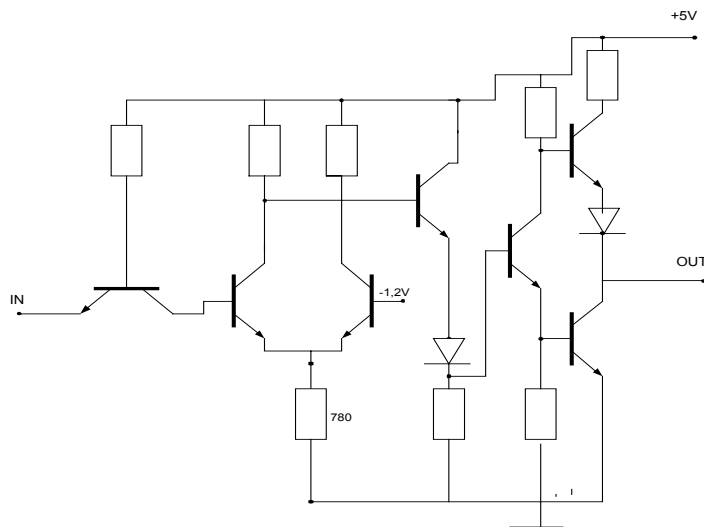


Время переключения триггера Шмитта не зависит от формы входного сигнала и составляет для ТТЛ 20 – 30 нс.

Триггеры Шмитта.

Серия	Обозначение	Номер микросхем		
		1	2	3
K155	+		+	
KM155	+			
K555		+		
KM555 ТЛ		+		
K531				
KP531			+	
KP153				
3		+		
74		15	14	132

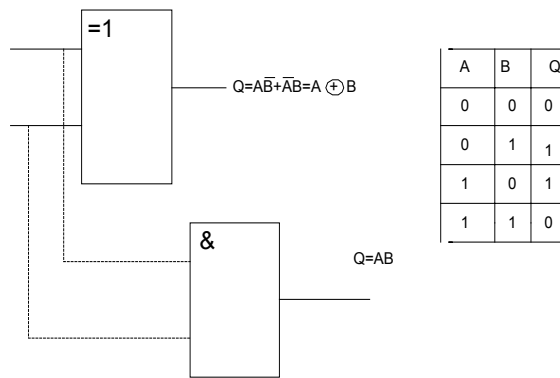
Электрическая схема триггера Шмитта (155ТЛ1) имеет вид:



ТЛ1- 2 М/С триггера,
ТЛ2 – 6 М/С триггера,
ТЛ3 – 4-е двухвходовых элемента.

Исключающее «ИЛИ».

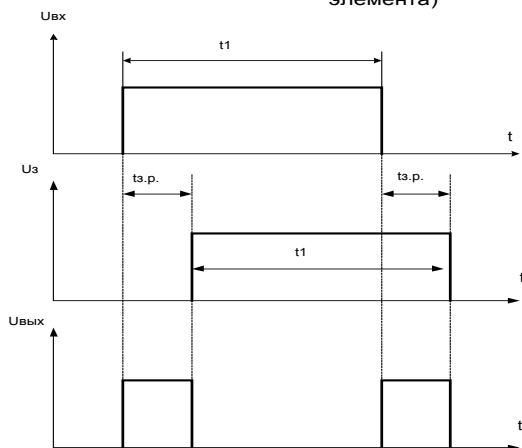
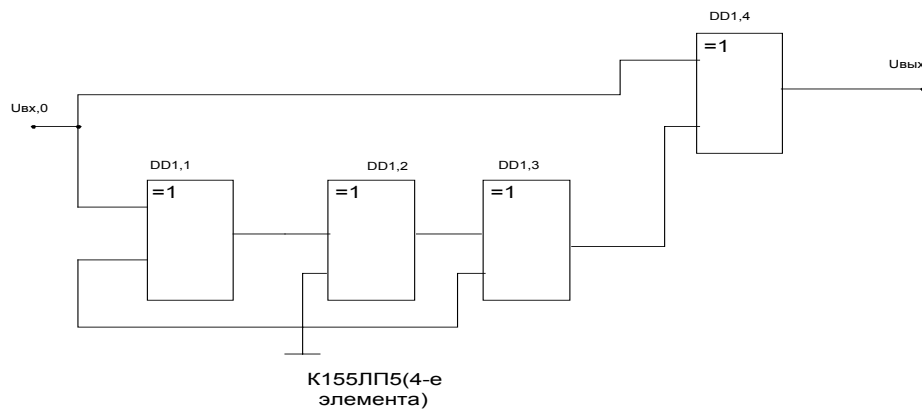
Применяют как сумматор по модулю 2, для задержки цифровых импульсов, как фазовые компараторы, определяющие момент равенства фаз и частот двух цифровых последовательностей, как генераторы строго сфвзированных многофазных последовательностей (например, трехфазных напряжений питания микроэлектродвигателя).



К155ЛП5, К555ЛП5, К531ЛП5, К555ЛЛ3 (выход с открытым коллектором).
К555ЛП12, К1533ЛП5.

Рассмотрим применение этих ЛЭ.

1) Устройство выделения фронта и среза входного импульса:



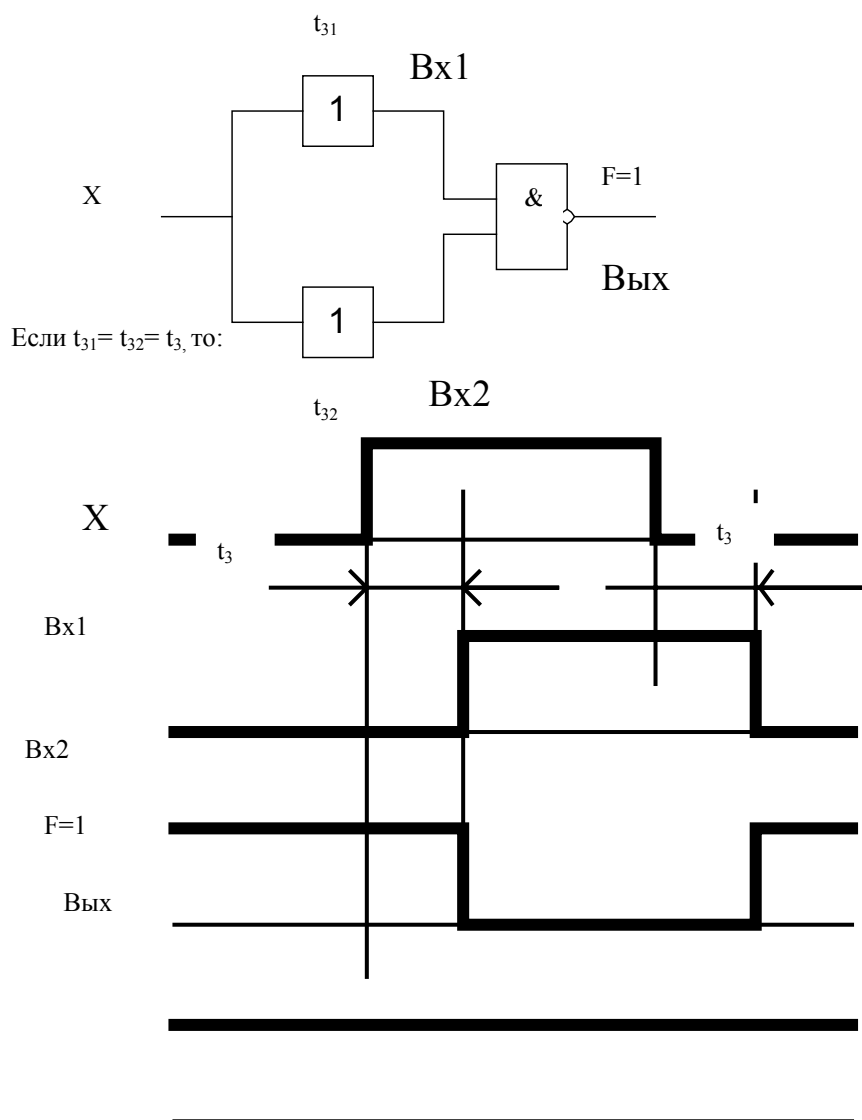
Устройство удваивает частоту входного сигнала.

Для преобразования оптического изображения в электрический телевизионный сигнал применяют полупроводниковые матрицы на ПЗС. Для их управления необходимы (для переноса заряда) трехфазные шины управления. (Сигналы кадрового и строчного переноса). Строчная последовательность импульсов до 10 мГц).

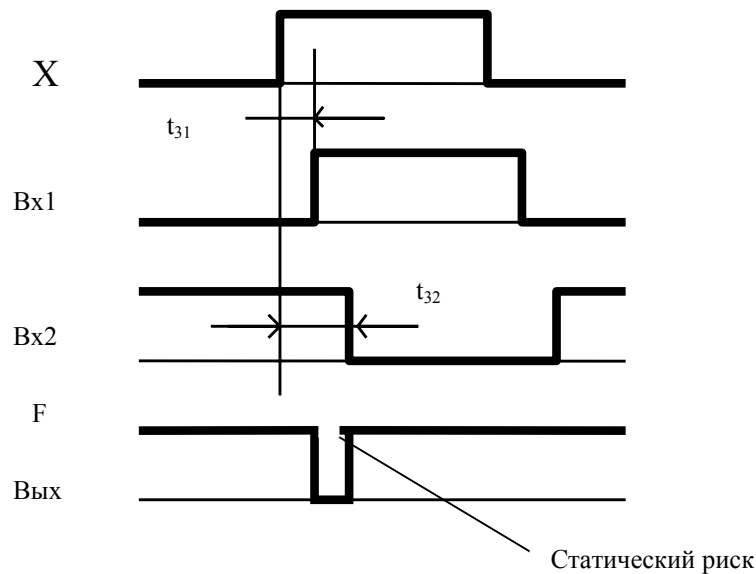
КОМБИНАЦИОННЫЕ СХЕМЫ

Выходные величины комбинационных схем зависят только от текущего значения входных величин (аргументов). Предыстория значения не имеет. В комбинационных схемах на выходе могут появляться сигналы, не предусмотренные схемой. Эти сигналы называются «рисками». Их могут воспринимать автоматы (триггеры, регистры и т.д.) и появляются сбои в работе цифровой схемы.

Пример возникновения статического риска:



При $t_{31} < t_{32}$.

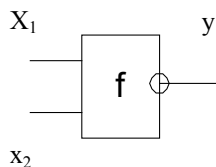


Пути борьбы: запрещение восприятия сигналов комбинационных схем элементами памяти на время переходных процессов.

Проектирование произвольной логики производится по этапам.

Сначала задают характер функционирования схемы: либо в виде таблицы функционирования (таблица истинности). Например, для 2И-НЕ:

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0



Либо в виде функциональной зависимости выходного параметра от входных (форма СДНФ – совершенная дизъюнктивная нормальная форма).

Например: $F(x_1x_2x_3) = x_1 \vee x_2x_3$ (для И-НЕ $y = x_1x_2$).

Реализация зависит от используемой элементной базы:

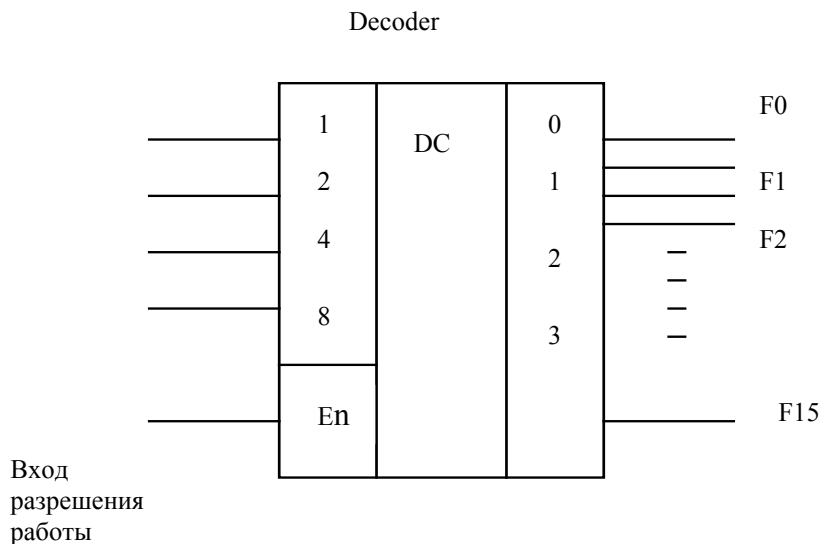
1. Логические блоки табличного типа (LUTS, Look-Up Table);
2. Логические блоки в виде последовательности матриц элементов И, ИЛИ (ПЛИС типа PLA);
3. Универсальные логические блоки на основе мультиплексоров;
4. Логические блоки, собираемые из логических элементов некоторого базиса.

Двоичные дешифраторы.

Дешифраторы относятся к преобразователям кодов.

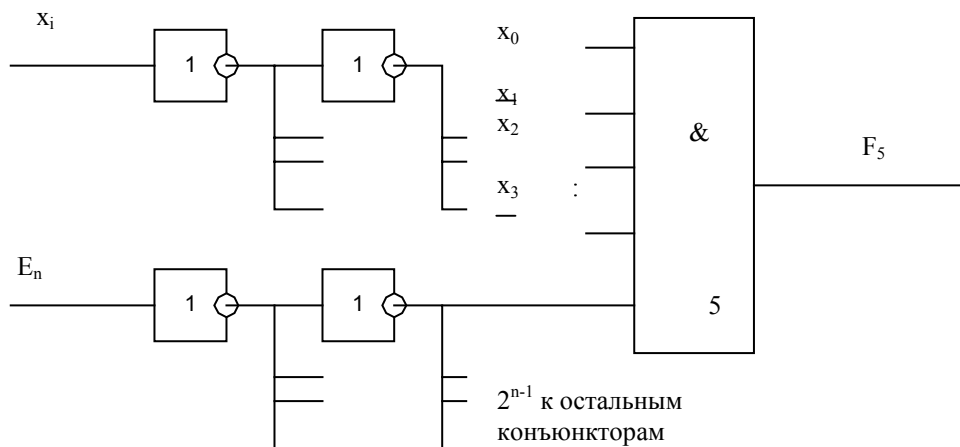
Двоичные дешифраторы преобразуют двоичный код в код «1 из N». В этом коде на выходе только одно значение 1, а остальные – нулевые. Например, 4 выходных кодовых комбинации имеют вид:

1 0 0 0 т.е. если имеется n входов, то дешифратор должен
 0 1 0 0 иметь 2^n выходов.
 0 0 1 0
 0 0 0 1



Схемотехническая реализация.

Дешифратор имеет совокупность инверторов для каждого входа и совокупность схем «И» для каждого выхода;



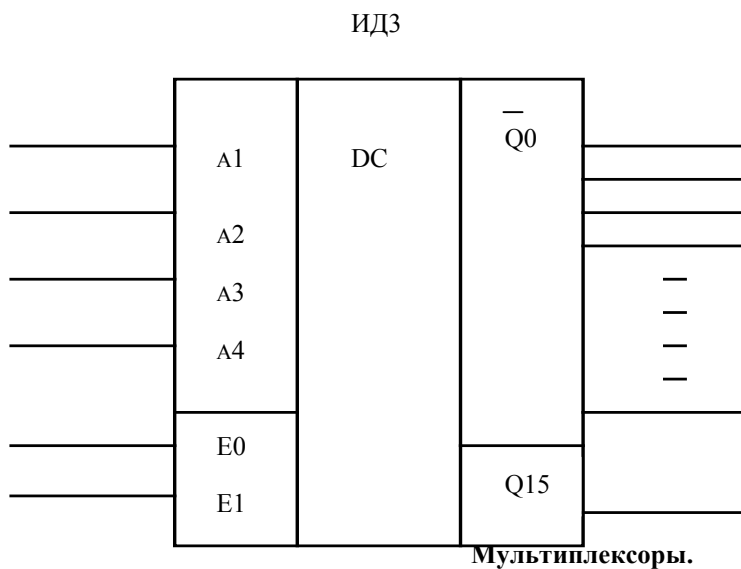
Цифра 5 в двоичном коде:

X_3	X_2	X_1	X_0
0	1	0	1
(8)	(4)	(2)	(1)

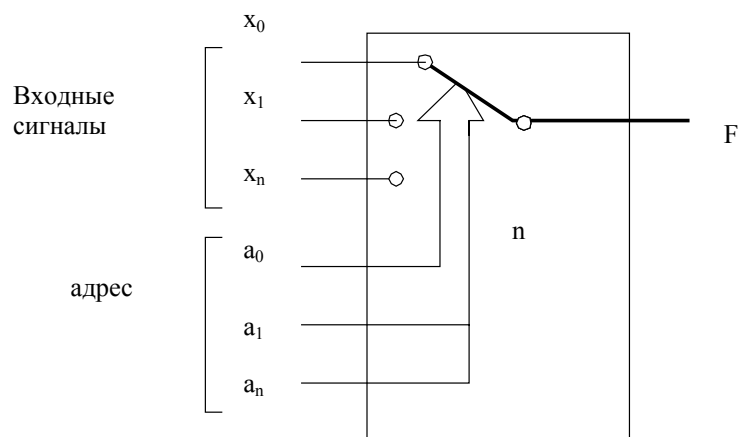
Примеры реализаций: ИДЗ (К555ИДЗ, К155, К555).

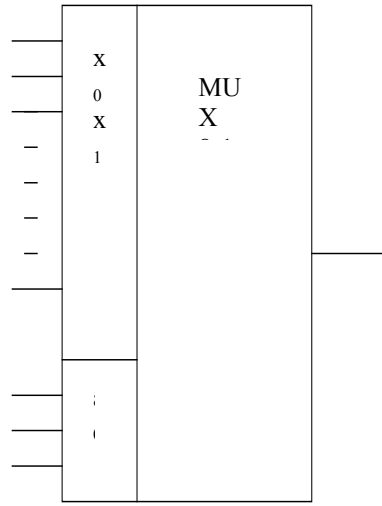
Преобразователи двоично-десятичного кода в двоичный К155ПР6.

Преобразователи двоичного в двоично-десятичный К155ПР7.

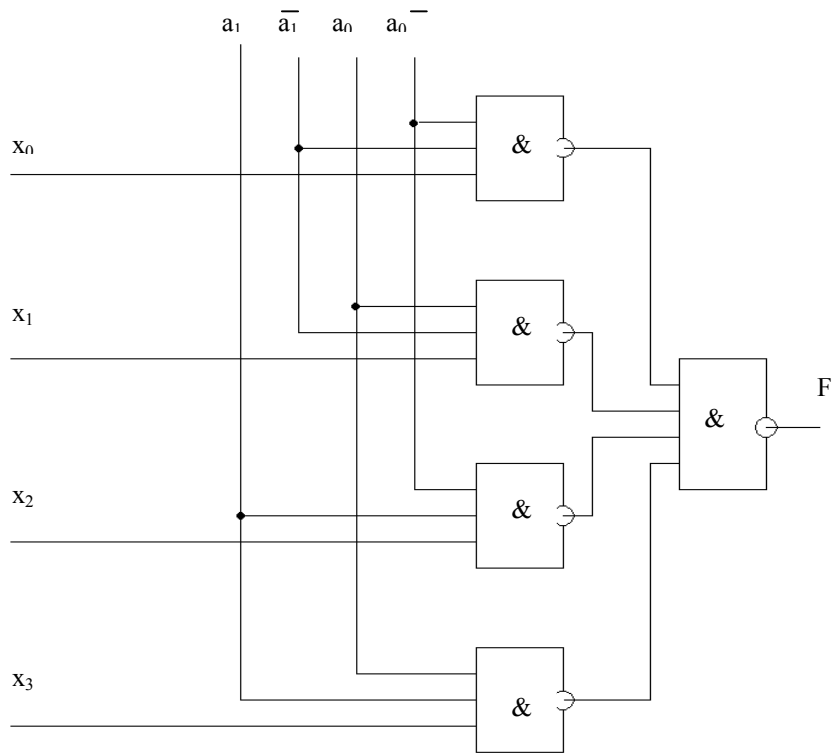


Осуществляют подключение одного из входных сигналов к выходу под управлением адресного слова.





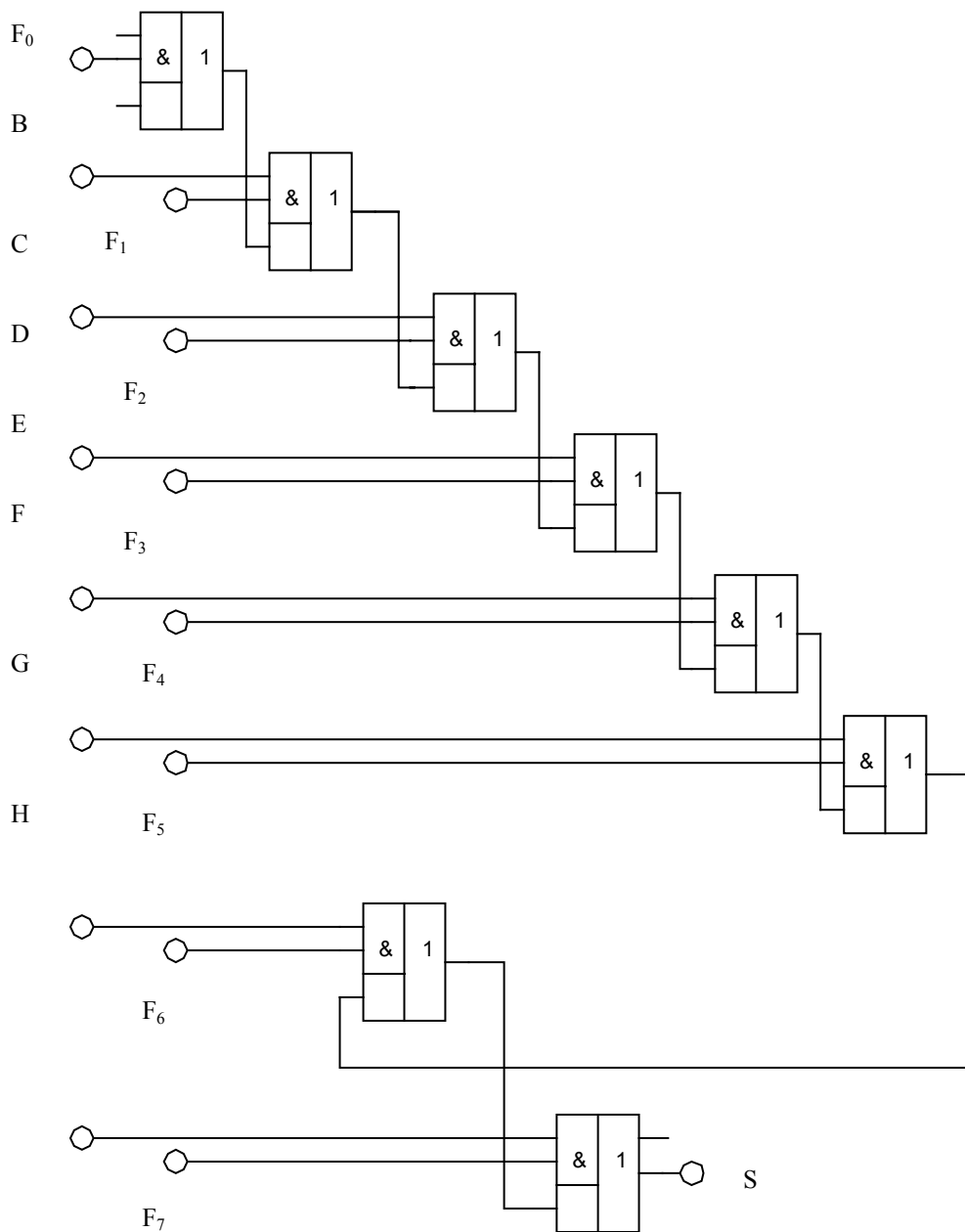
Реализация на элементах И-НЕ:



A_1	A_0	F
0	0	x_0
0	1	x_1
1	0	x_2
1	1	x_3

Обобщенная схема мультиплексора.

A,B,C,D...-входы данных.



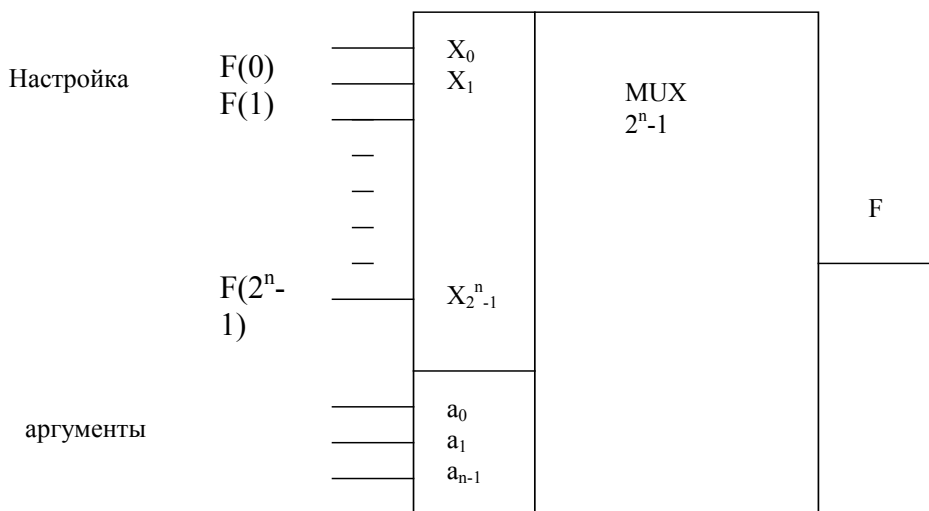
Универсальные логические модули на основе мультиплексоров (УЛМ).

УЛМ относятся к устройствам, настраиваемым на решение той или иной задачи.

Для заданного числа аргументов УЛМ можно настроить на любую функцию. Общее число функций от n аргументов равно: $(2^2)^n$.

Практический интерес представляют не все существующие функции, однако возможность получить любую из огромного числа функций свидетельствует о больших перспективах применения УЛМ.

1-й способ настройки УЛМ.



На адресные входы следует подавать аргументы функции, а на информационные - сигналы настройки. Если аргументов n , то настроек – 2^n .

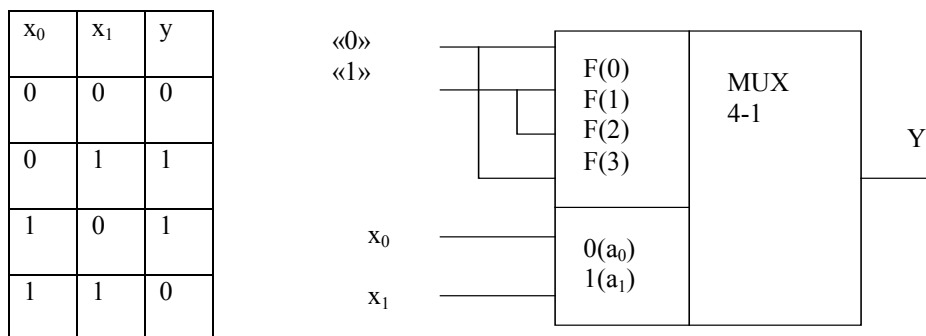
Каждому набору аргументов соответствует передача на выход одного из сигналов настройки. Если этот сигнал есть значение функции, то задача решена.

Рассмотрим реализацию функции «исключающее или»:

$$Y = X_1 \oplus X_2$$

с помощью мультиплексора.

Алфавит настройки $\{0,1\}$ – настройка осуществляется константами 0 и 1.



Большое число настроечных входов затрудняет реализацию УЛМ.

2-й способ настройки УЛМ.

Если от алфавита $\{0,1\}$ перейти к алфавиту $\{0,1, x_i\}$,

где x_i – литерал (значение) одного из аргументов, то число входов аргументов сократится на единицу, а число настроенных входов – вдвое. (Под литералом переменной понимается либо сама переменная, либо ее инверсия.)

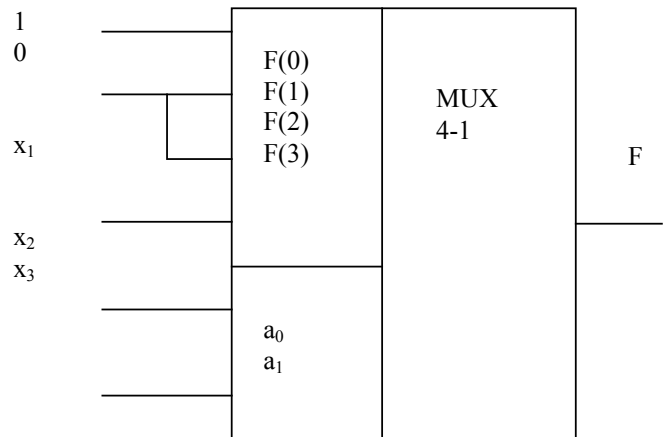
Какой аргумент переносить в сигналы настройки? Рекомендация: в настроечные сигналы следует переводить аргумент, который имеет минимальное число вхождений в термы функций.

Рассмотрим пример реализации функции:

$$F = x_1 x_2 x_3 \vee x_2 x_3.$$

Минимальное число вхождений в термы имеет переменная x_1 .

x_2	x_3	$F_{\text{ост}}$
0	0	1 F(0)
0	1	0 F(1)
1	0	0 F(2)
1	1	x_1 F(3)



Расширение алфавита настройки за счет переноса 3-х и более переменных в сигналы настройки приводит к пирамидальной структуре. Мультиплексоры первого яруса реализуют остаточные функции, а второго яруса вырабатывают искомую функцию.

Компараторы.

Компараторы или устройства сравнения определяют отношения между двумя словами. Основные отношения - это «равно» и «больше».

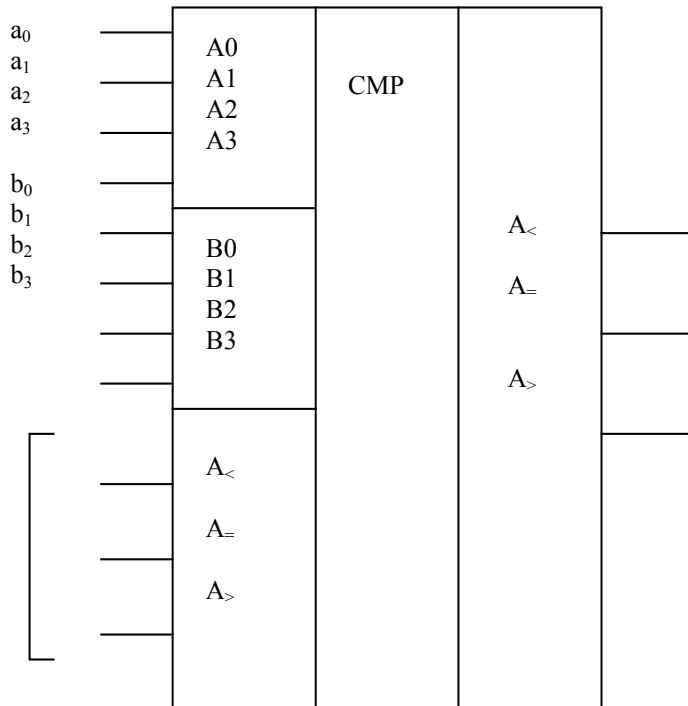
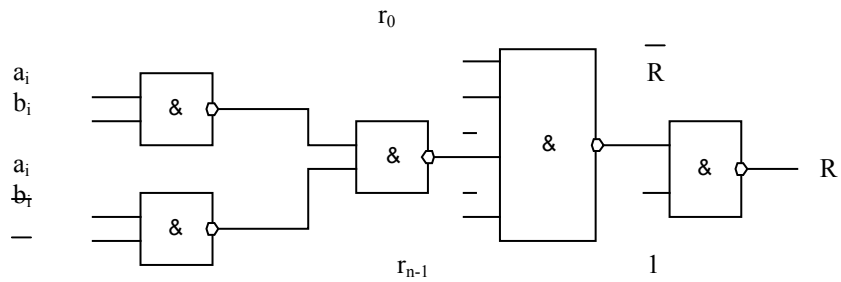
Функции компаратора определяются таким образом:

$F_{A=B} = 1$, если $A=B$, а при $A \neq B$ принимает нулевое значение.

Признак равенства разрядов:

$$r_i = a_i \cdot b_i \vee \bar{a}_i \cdot \bar{b}_i = \overline{a_i \cdot \bar{b}_i \vee \bar{a}_i \cdot b_i} = \overline{a_i \cdot \bar{b}_i} \cdot \overline{\bar{a}_i \cdot b_i} = a_i \oplus b_i$$

Реализация в базисе И-НЕ.



Схемы контроля

Сложность цифрового устройства определяет важность операций контроля. К схемам контроля относятся:

- 1) Мажоритарные элементы;
- 2) схемы контроля по модулю 2;
- 3) схемы кодирования-декодирования для кодов Хемминга.

Мажоритарные элементы.

Задача мажоритарного элемента - произвести «голосование» и передать на выход величину, соответствующую большинству из входных (выпускаемые элементы имеют 3 или 5 входов).

Функционирование мажоритарного элемента из 3-х входов.

F_1	F_2	F_3	F	a_1	a_0
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	1	0
0	1	1	1	0	1
1	0	0	0	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	1	0	0

Здесь F_1, F_2, F_3 - входные величины; (т.е. 3 одинаковых канала, один из которых может отказать).

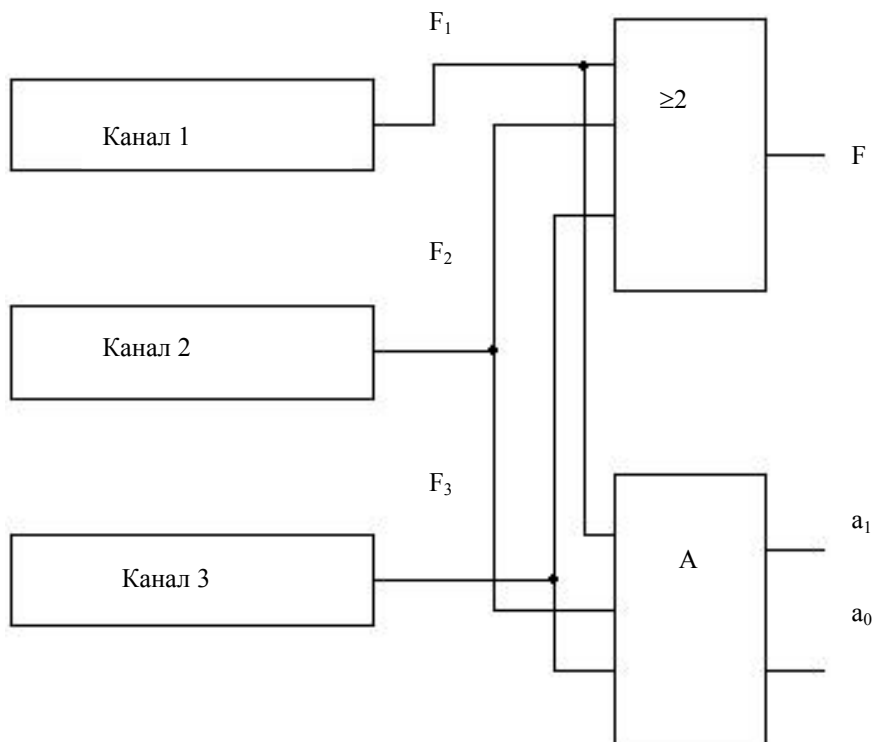
F – выходная величина вырабатываемая по результатам голосования;

a_1, a_0 – старший и младший разряды двухразрядного кода, указывающие номер отказавшего канала.

Из таблицы: $F = F_1F_2 \vee F_1F_3 \vee F_2F_3$;

$$a_1 = F_2 \oplus F_3$$

$$a_0 = F_1 \oplus F_3$$



Матричные умножители

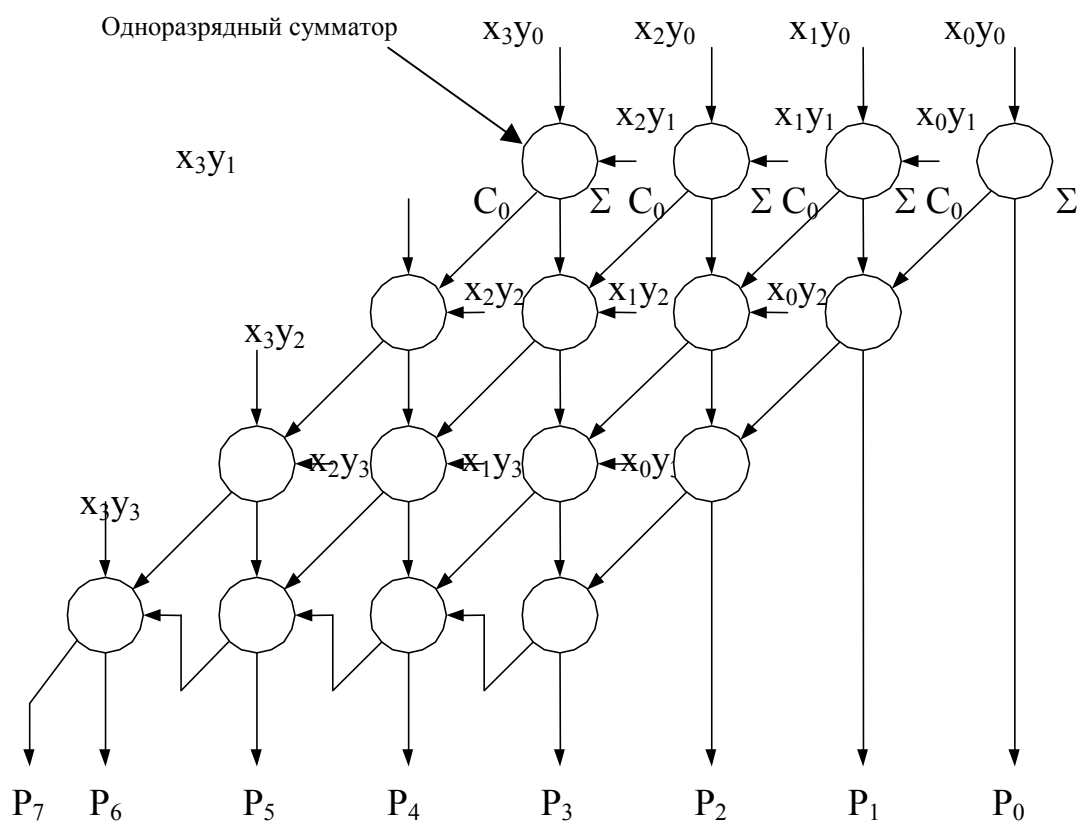
Микросхемы появились в 1980-х годах.

Пусть имеются два целых двоичных числа X и Y , которые необходимо перемножить:

$$\begin{array}{r} * \quad \begin{array}{cccc} X_3 & X_2 & X_1 & X_0 \\ Y_3 & Y_2 & Y_1 & Y_0 \end{array} \\ \hline \quad \begin{array}{cccc} X_3Y_0 & X_2Y_0 & X_1Y_0 & X_0Y_0 \end{array} \\ + \quad \begin{array}{cccc} X_3Y_1 & X_2Y_1 & X_1Y_1 & X_0Y_1 \end{array} \\ \quad \begin{array}{cccc} X_3Y_2 & X_2Y_2 & X_1Y_2 & X_0Y_2 \end{array} \\ \quad \begin{array}{cccc} X_3Y_3 & X_2Y_3 & X_1Y_3 & X_0Y_3 \end{array} \\ \hline \begin{array}{cccccccc} P_7 & P_6 & P_5 & P_4 & P_3 & P_2 & P_1 & P_0 \end{array} \end{array}$$

Члены вида $x_i y_j$ вырабатываются параллельно во времени конъюнкторами. Сложение в столбцах выполняется сумматорами.

Структура матричного умножителя.



КОДЫ

В повседневной жизни используется десятичный код. В ЭВМ применяется широко двоичный и двоично-десятичный коды.

Двоичный код

В двоичном коде число 926 записывается в виде: 1110011110. Этот код применяется в ЦАП и АЦП.

Двоично-десятичный код 8-4-2-1

В этом коде каждая группа из четырех двоичных цифр (тетрады) представляет соответствующую десятичную цифру. Число 926 в двоично-десятичном коде запишется следующим образом:

1001	0010	0110
9	2	6

Существуют двоично-десятичные коды с другими весами числовых разрядов, например код 4-2-2-1 и др.

Код с избытком 3

Чтобы представить десятичное число в этом коде прибавляют число 3 к каждой цифре десятичного числа и затем заменяют полученные цифры четырехзначным двоичным числом.

Например:

$4+3=7 \Rightarrow 0111$ Число 4 в коде с избытком 3

используется во многих арифметических цифровых схемах (т.к. является самодополняющимся).

Код Грея

Особенность : при переходе к нижерасположенному числу в предыдущем числе изменяется только одна цифра. Применяется во входных и выходных устройствах цифровых систем для преобразования непрерывной величины в код с целью снижения ошибок преобразования.

десятичный	двоичный	число в коде 8421	число в коде Грея
0	0000		0000
1	0001		0001
2	0010		0011
3	0011		0010
4	0100		0110
5	0101		0111
6	0110		0101
7	0111		0100
8	1000		1100
9	1001		1101
10	1010	0001 0000	1111
11	1011	0001 0001	1110
12	1100	0001 0010	1010

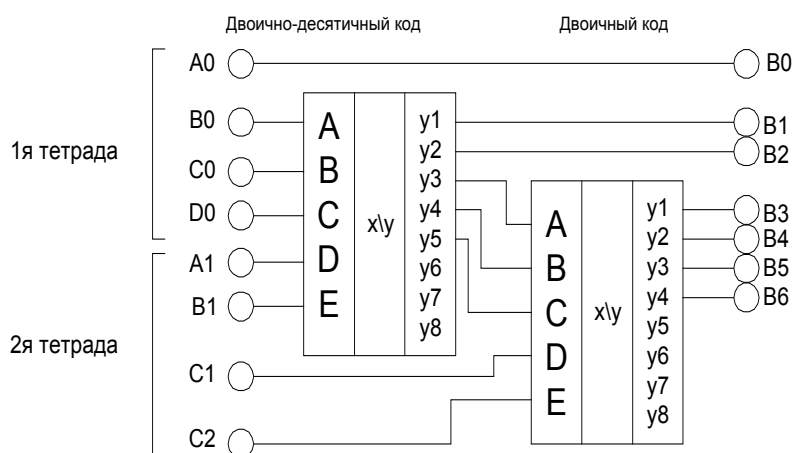
13	1101	0001	0011	1011
14	1110	0001	0100	1001
15	1111	0001	0101	1000
16	10000	0001	0110	11000
17	10001	0001	0111	11001

К155ПР6 и ПР7 – ПЗУ с программами преобразования двоично-десятичного кода (ПР6) и наоборот (ПР7)(двоичного в двоично-десятичный)

ПР6

Число тетрад двоично-десятичного кода	2	3	4	5	6
Число ПР6	2	6	11	19	28

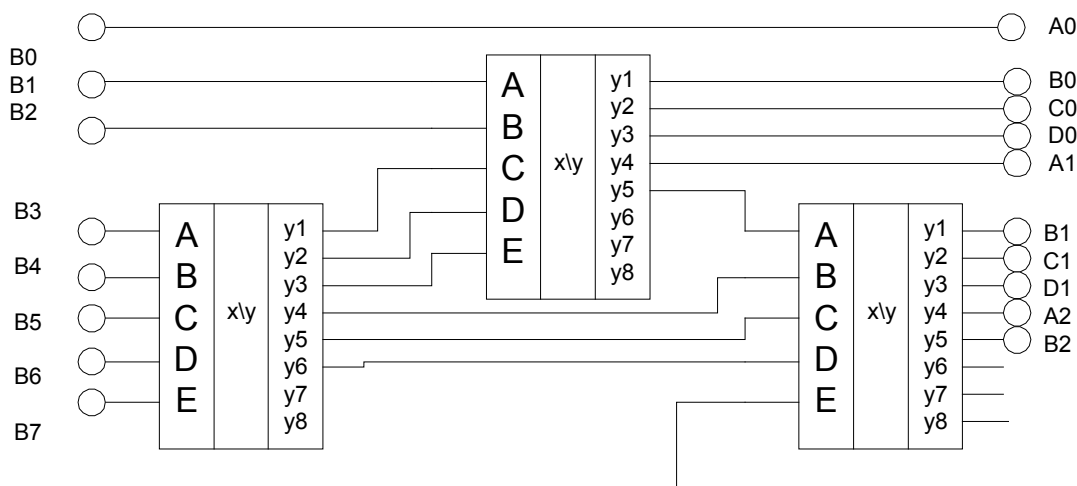
Схема преобразования двух тетрад двоично-десятичного кода в двоичный:



ПР7

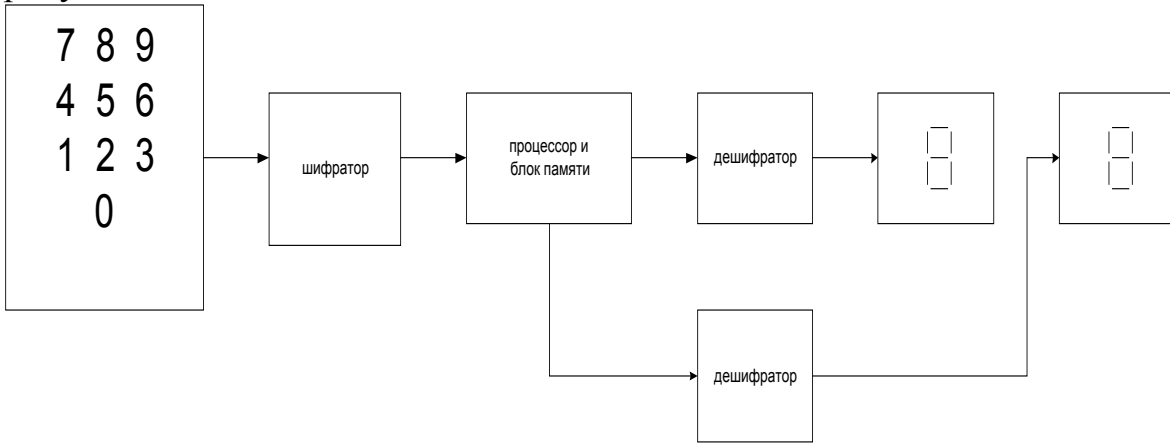
Число разрядов двоичного кода	4-	7-																	
кода	6	8	9	10	11	12	13	14	15	16	17	18	19	20					
Число ИС типа ПР7	1	3	4	5	7	8	10	12	14	16	19	21	24	27					

Пример : преобразования 8 разрядов двоичного кода в двоично-десятичный.



Шифраторы, дешифраторы.

Устройства содержат в 1-ом корпусе –20-50 логических элементов. Структурная схема применения шифраторов и дешифраторов приведена на рисунке:



Десятичные цифры \Rightarrow код 8421
код \Rightarrow десятичные числа.

семизначный

АРИФМЕТИЧЕСКИЕ УСТРОЙСТВА

Правила сложения двоичных чисел:

$$0+0=0 \quad 0+1=1 \quad 1+0=1 \quad 1+1=0 \Rightarrow \text{перенос } 1$$

пример:

$$\begin{array}{r} 1010 \\ + \\ \hline 1101 \end{array} \quad \begin{array}{r} 10 \\ + \\ \hline 3 \\ \hline 13 \end{array}$$

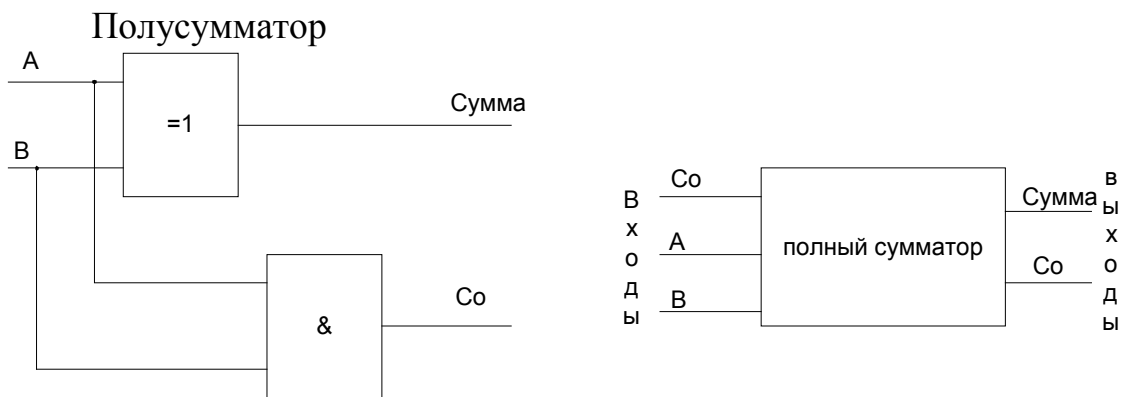
Таблица истинности для этих арифметических действий:



B	ВХОДЫ		ВЫХОДЫ	
	A	Сумма Σ	Сo	
	0	0	0	0
	0	1	1	0
	1	0	1	0
	1	1	0	1

$$\Sigma = \bar{A} * B + A * \bar{B} = A \oplus B \text{ это операция «исключающее ИЛИ»}$$

$$Co = A * B$$



Полусумматор складывает только в разряде единиц. В разряде двоек и т.д. используется полный сумматор.

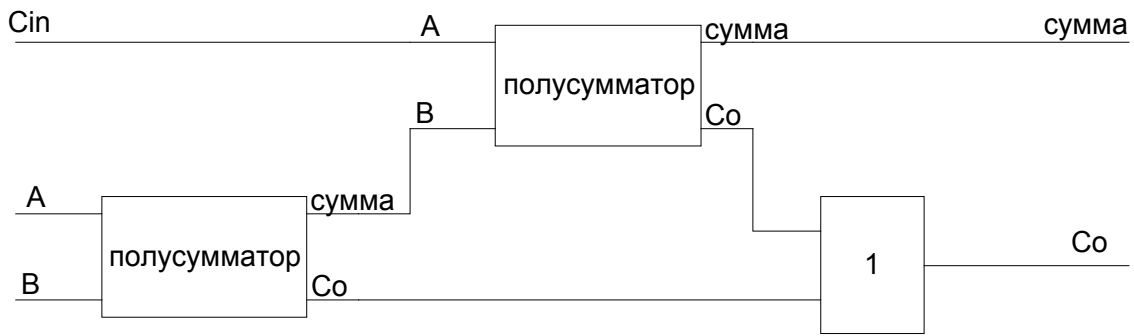
Таблица истинности полного сумматора

Co	ВХОДЫ		ВЫХОДЫ	
	A	B	Сумма Σ	Co
	0	0	0	0
	0	0	1	0
	0	1	0	0
	0	1	1	0
	1	0	0	1
	1	0	1	0
	1	1	0	1
	1	1	1	1

Полные сумматоры используются для сложения во всех двоичных разрядах.

Они имеют дополнительный вход переноса.

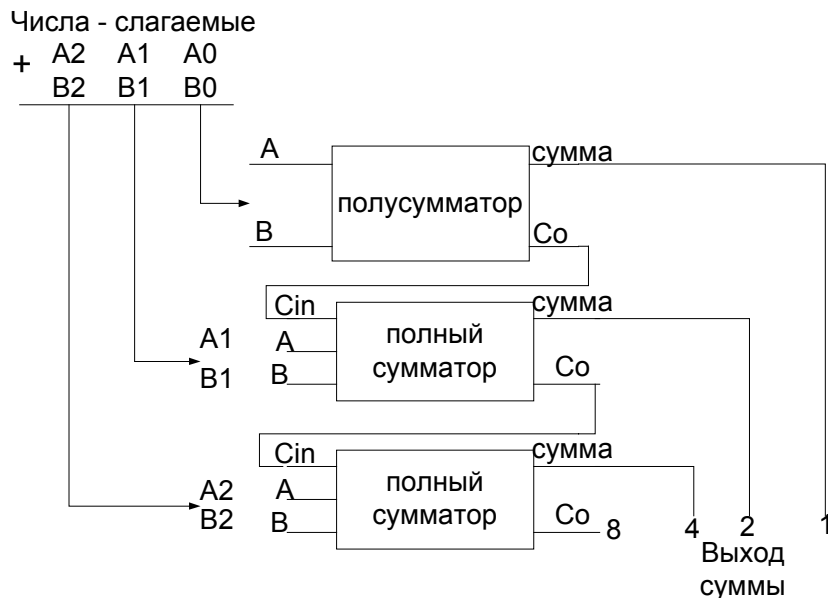
Полный сумматор можно построить на полусумматорах:



Cin-Carry input (вход переноса). Сумматоры и полусумматоры образуют арифметико-логическое устройство (АЛУ).

При этом складываются 8-разрядные, 16- или 32-разрядные числа.

Трехразрядный параллельный сумматор.



В параллельном сумматоре все разряды числа поступают на входы одновременно. Результат(сумма) появляется на выходе практически мгновенно. Этот сумматор относится к классу комбинационных логических схем. Для фиксации данных используются дополнительные регистры.

Двоичное вычитание.

Таблица двоичного вычитания:

(10) Заем1

0	0	1	1
-	-	-	-
0	1	0	1
0	1	1	0



Di-Difference (Разность)

Bo-Borrow output (Выход заема)

Таблица истинности полувывчитателя:

A	ВХОДЫ		ВЫХОДЫ	
	B	Di	Bo	
0	0	0	0	0
0	1	1	1	1
1	0	1	0	0
1	1	0	1	1

A-B разность заем

Реализуется: $Di = A \oplus B$ (исключающее ИЛИ)

$$Bo = \bar{A} * B$$

Структурная схема полувывчитателя:

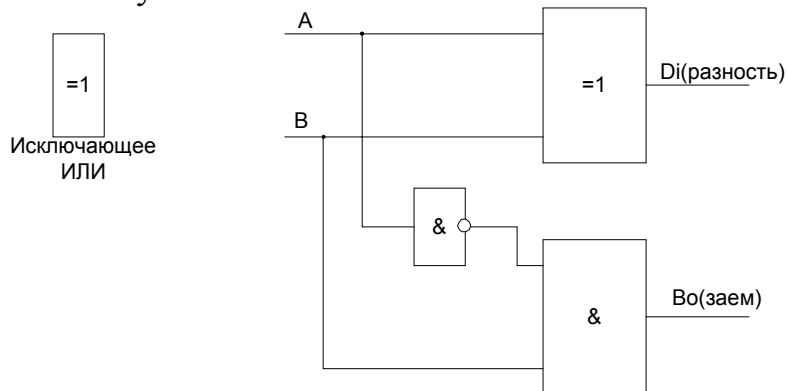
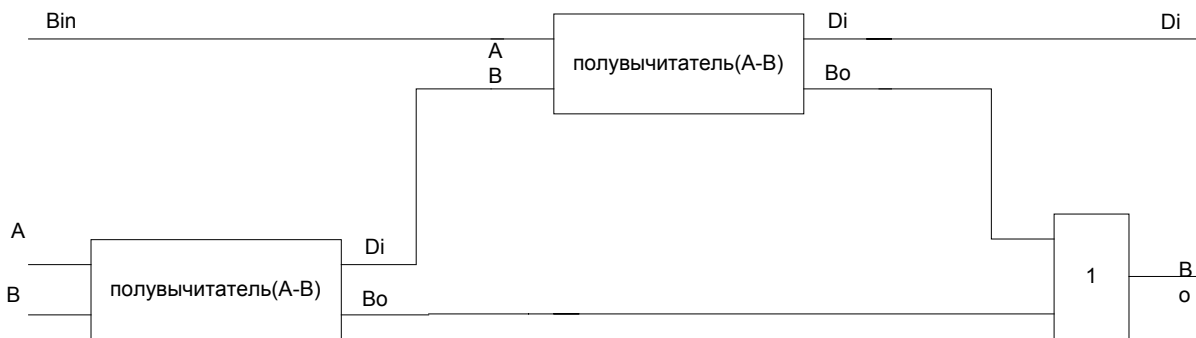


Таблица истинности полного вычитателя:

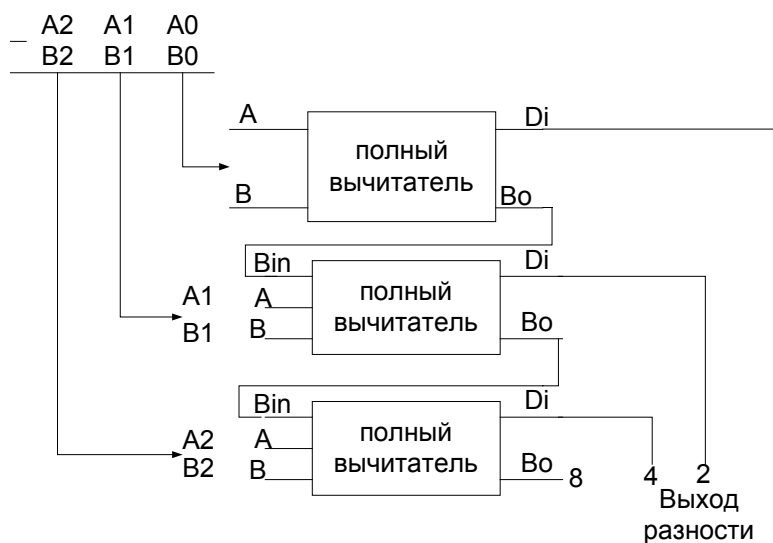
ВХОДЫ		Bin	Di	ВЫХОДЫ	
A	B			Bo	
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	0	0	1
1	0	0	1	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	1	1	1

A-B -Bin разность заем

Структурная схема полного вычитателя:



3х разрядный параллельный вычитатель.

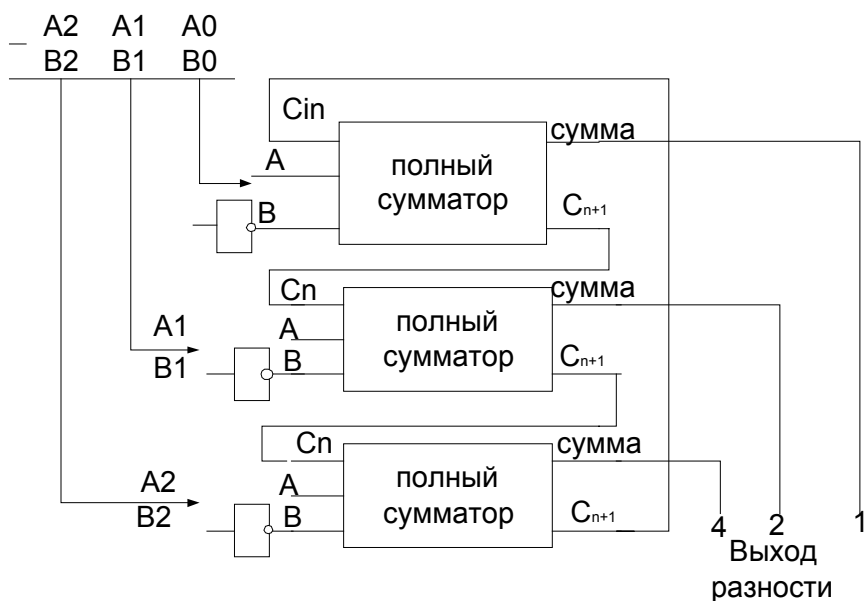


Использование сумматора для вычитания.

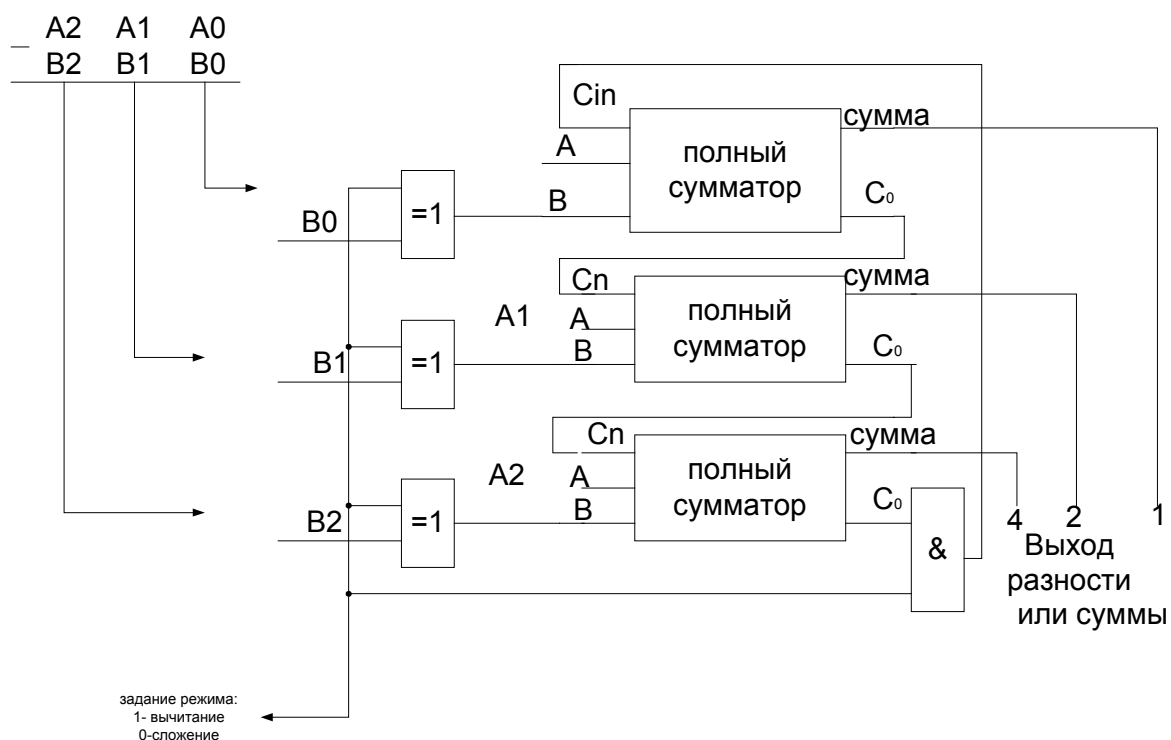
Применяется математический «трюк».

Десятичное вычитание	Двоичное вычитание	Специальный прием вычитания
$\begin{array}{r} 10 \\ - 6 \\ \hline 4 \end{array}$	$\begin{array}{r} 1010 \\ - 0110 \\ \hline 100 \end{array}$	$\begin{array}{r} 1010 \\ + 1001 \text{ Дополнение до 1} \\ \hline 10011 \\ + 1 \\ \hline 100 \end{array}$

Рассмотрим трехразрядный вычитатель. Он состоит из трех полных сумматоров, трех инверторов, обеспечивающих дополнение до 1.



Комбинированная схема сложения – вычитания.

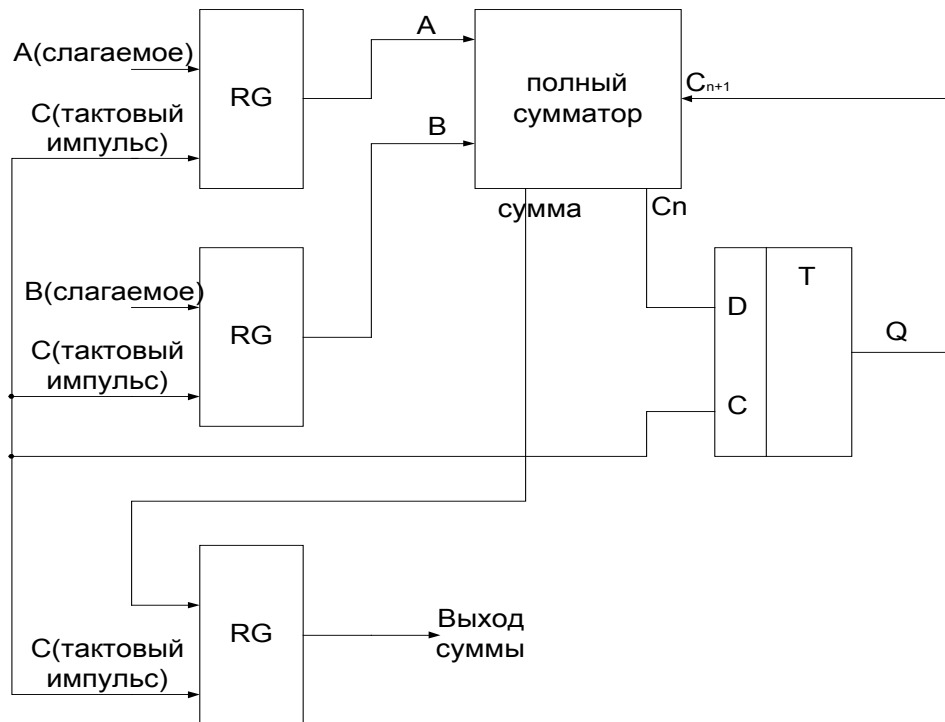


При подаче 0 на входы ИСКЛ.ИЛИ двоичное число B проходит через этот элемент без инверсии, а элемент И блокирует цепь циклического переноса. Т.о. происходит сложение чисел.

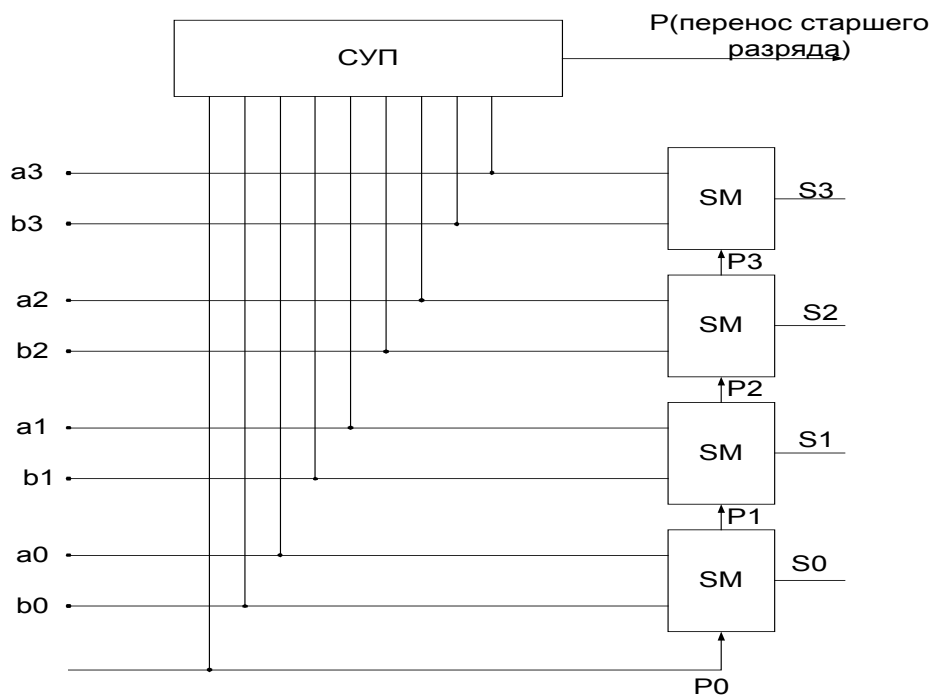
При подаче 1 на вход ИСКЛ.ИЛИ этот элемент инвертирует входную информацию. Элемент И открывается и замыкает циклический перенос. Т.о. схема работает как вычитатель.

Последовательный сумматор.

Состоит из одного полного сумматора, регистров сдвига и D-триггера.

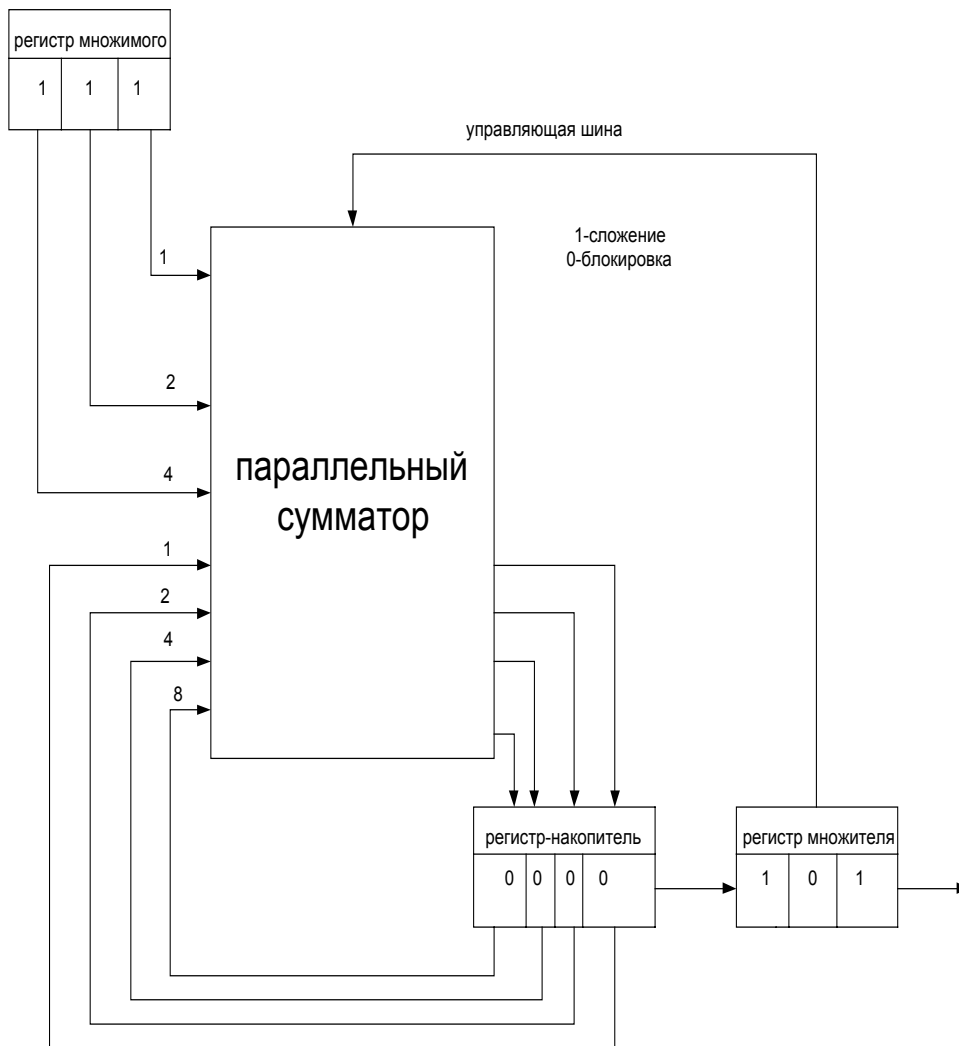


Наибольшую скорость имеют параллельные сумматоры с ускоренным переносом (СУП).



СУП- логическая обработка входных сигналов

Двоичное умножение.



структурная схема умножителя с использованием сложения и сдвига

Содержимое накопительного регистра и регистра множителя

	Регистр-накопитель	⇒	регистр множителя
При очистке + загрузке	A 0 0 0 0	⇒	1 0 1
При сложении	B 0 1 1 1	⇒	1 0 1 ⇒ 1
При сдвиге вправо	C 0 0 1 1	⇒	1 1 0 ⇒ 0
При блокировке	D 0 0 1 1	⇒	1 1 0
При сдвиге вправо	E 0 0 0 1	⇒	1 1 1
При сложении	F 1 0 0 0	⇒	1 1 1
При сдвиге вправо	G 0 1 0 0	⇒	0 1 1 ⇒ 1

Полное произведение

A Очистка аккумулятора и загрузка регистров множимого и множителя.
 B Сложение содержимого аккумулятора(0000) и регистра множимого (1111), инициализируется посылкой 1(С3 множителя) на управляющую шину.(строка 3го примера).

С Сдвиг содержимого аккумулятора и регистра множителя на одну позицию вправо (при этом уходит и теряется 1 крайнего правого разряда множителя).

Д Операция сложения. На шине управления 0, т.е. сложение производить не нужно поэтому содержимое регистров не изменяется (строка 4,5 примера).

Е Сдвиг вправо обеих регистров (уходит и теряется бит разряда двоек множителя).

Ф Бит разряда четверок множителя (1) дает команду сумматору на сложение.

Содержимое аккумулятора (0001) и содержимое множителя (111) складываются. Результат сложения сохраняется в аккумуляторе (строки 5,7 примера).

Г Сдвиг содержимого регистров вправо. Бит четверых уходит из регистра и теряется. Полное произведение находится сразу в двух регистрах. (это отдельные части одного регистра сдвига).

В ЭВМ вычисления произведений производится по заданной программе.

Многие АЛУ не содержат умножителей, а перемножают по заданным командам. Более совершенные микропроцессоры обязательно содержат команды умножения.